

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-260535

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01L 23/12

H01L 21/60

(21)Application number : 08-066637

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP
HITACHI MICROCOMPUT SYST LTD

(22)Date of filing : 22.03.1996

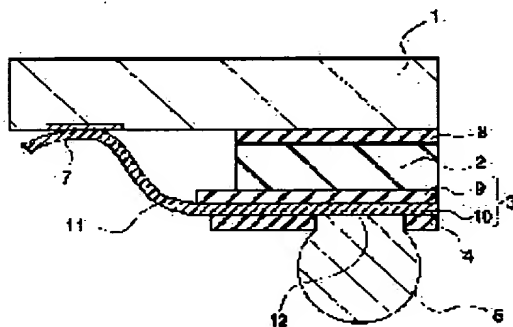
(72)Inventor : MIYAZAKI CHUICHI
AKIYAMA YUKIJI
SHIBAMOTO MASAKUNI
SHIMOISHI TOMOAKI
ANJO ICHIRO
NISHI KUNIIKO
NISHIMURA ASAO
TANAKA HIDEKI
KIMOTO RYOSUKE
TSUBOSAKI KUNIHIRO
HASEBE AKIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device which can perform assembly high in yield rate by stably mounting an elastic structure on a wiring board with high accuracy by the adoption of surface mounting structure, and stabilizing the bonding process of a semiconductor chip.

SOLUTION: This is a ball grid array type of semiconductor package, and this is composed of a semiconductor chip 1 where a bonding pad is made, an elastomer 2 which is bonded to the semiconductor chip 1, a flexible wiring board 3 which is bonded to the elastomer 2 and in which wiring whose lead is connected to the bonding pad of the semiconductor pad 1 is made, a solder resist 4 which is made on the main surface of the flexible wiring board 3, and a bump 5 which is connected to the bump land of the wiring. This is the so-called surface wiring structure where the elastomer 2 is bonded to the semiconductor chip 1 side of the tape 9 of the flexible wiring board 3, and besides the solder resist 4 is made on the solder bump 5 side of the wiring 10.



LEGAL STATUS

[Date of request for examination] 30.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2891665

[Date of registration] 26.02.1999

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

92/117W

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260535

(43) 公開日 平成9年(1997)10月3日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12			H 0 1 L 23/12	L
21/60	3 1 1		21/60	3 1 1 R

審査請求 未請求 請求項の数31 O L (全 36 頁)

(21) 出願番号 特願平8-66637

(22) 出願日 平成8年(1996)3月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(74) 代理人 弁理士 筒井 大和

最終頁に続く

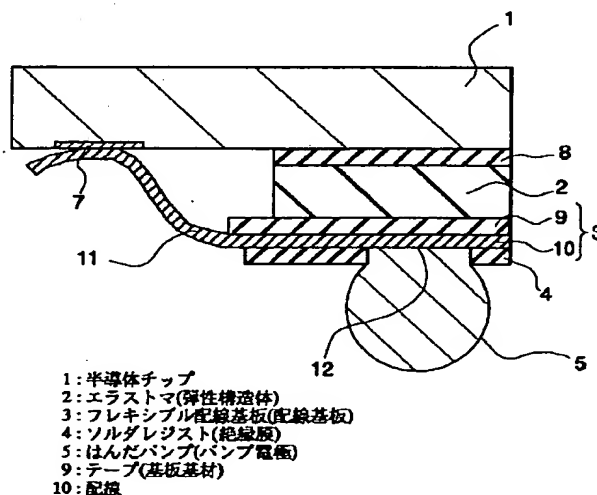
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 表配線構造の採用によって弾性構造体を高精度に安定して配線基板に搭載し、半導体チップの接着工程を安定させて歩留まりの高い組み立てを行うことができる半導体集積回路装置を提供する。

【解決手段】 ボールグリッドアレイ形式の半導体パッケージであって、ボンディングパッドが形成された半導体チップ1、半導体チップ1に接着されるエラストマ2、エラストマ2に接着され、半導体チップ1のボンディングパッドにリードが接続される配線が形成されたフレキシブル配線基板3、フレキシブル配線基板3の主面上に形成されるソルダレジスト4、配線のバンブランドに接続されるはんだバンブ5から構成され、フレキシブル配線基板3のテープ9の半導体チップ1側にエラストマ2が接着され、かつ配線10のはんだバンブ5側にソルダレジスト4が形成された、いわゆる表配線構造となっている。

図 6



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板は基板基材の主面上に前記配線が形成されて、前記基板基材の裏面側に前記弾性構造体を配置させ、かつ前記配線の主面上に絶縁膜を形成させてなることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、前記配線基板の配線は、複数の配線層構造からなることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置であって、前記半導体チップの外部端子は、前記半導体チップの中央部に配置させてなることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 記載の半導体集積回路装置であって、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極は、前記半導体チップの外周より内側の領域に配置させてなることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 3 記載の半導体集積回路装置であって、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極は、前記半導体チップの外周より外側の領域に配置させてなることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 3 記載の半導体集積回路装置であって、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極は、前記半導体チップの外周の内側と外側との両領域に配置させてなることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 1 記載の半導体集積回路装置であって、前記半導体チップの外部端子は、前記半導体チップの周辺部に配置させてなることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 7 記載の半導体集積回路装置であって、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極は、前記半導体チップの外周より内側の領域に配置させてなることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 7 記載の半導体集積回路装置であって、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極は、前記半導体チップの外周より外側の領域に配置させてなることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 7 記載の半導体集積回路装置であって、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極は、前記半導体

チップの外周の内側と外側との両領域に配置させてなることを特徴とする半導体集積回路装置。

【請求項 11】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子側における前記弾性構造体の端部と前記配線基板の基板基材の端部との寸法は、前記弾性構造体の成分または物理的特性に基づいて設定させてなることを特徴とする半導体集積回路装置。

【請求項 12】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体集積回路装置の外周部側における前記配線基板の基板基材の端部と前記弾性構造体の端部との距離を $M2$ 、前記半導体チップの端部と前記基板基材の端部との距離を $M1$ とする場合に、

$$M1 > M2 > 0$$

の関係を満たす範囲で前記 $M2$ と前記 $M1$ とを設定させてなることを特徴とする半導体集積回路装置。

【請求項 13】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板の配線は、前記配線基板の基板基材との固定部分と前記半導体チップの外部端子に接続される先端部分とを少なくとも前記配線の幅以上変位された形状に形成させてなることを特徴とする半導体集積回路装置。

【請求項 14】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板の配線は、前記配線基板の基板基材に一方が固定された片持ち梁構造に形成させてなることを特徴とする半導体集積回路装置。

【請求項 15】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体

THIS PAGE BLANK (USPTO)

チップ上の表面保護膜の開口部の端部は、少なくともボンディングツールを打ち下ろす側において、前記ボンディングツールを打ち下ろしたときに前記配線が前記表面保護膜に干渉しない範囲の寸法に設定させてなることを特徴とする半導体集積回路装置。

【請求項 1 6】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板の配線は、前記配線のノッチ終端側における配線部分の有効面積を大きく形成させてなることを特徴とする半導体集積回路装置。

【請求項 1 7】 請求項 1 6 記載の半導体集積回路装置であって、前記ノッチ終端側の配線部分は、対向する配線のランド部につなげたり、配線の空き領域に縦方向または横方向に延長させたり、あるいは隣接する配線同士を連結させてなることを特徴とする半導体集積回路装置。

【請求項 1 8】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記弾性構造体は、前記半導体チップの外形寸法に比べて、少なくとも前記弾性構造体に形成される外周部突起幅分以上で全周に渡って大きい範囲で形成させてなることを特徴とする半導体集積回路装置。

【請求項 1 9】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記弾性構造体を前記半導体チップの外部端子上に接着しないように分割して形成する場合に、前記分割された弾性構造体の対向する空間のそれぞれの端部を溝状に形成させてなることを特徴とする半導体集積回路装置。

【請求項 2 0】 請求項 1 9 記載の半導体集積回路装置であって、前記分割された弾性構造体の対向する空間のそれぞれの端部の溝には、封止工程の際に予め封止材流れ止め用のダムを形成させてなることを特徴とする半導体集積回路装置。

【請求項 2 1】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接

続させてなる半導体集積回路装置であって、前記半導体チップの外部端子と前記配線基板の配線との接続構造は、予め前記半導体チップの外部端子にスタッドバンパを形成して、前記スタッドバンパを介して前記半導体チップの外部端子と前記配線基板の配線とを接続させてなることを特徴とする半導体集積回路装置。

【請求項 2 2】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子と前記配線基板の配線との接続構造は、予め前記配線基板の配線を包み込むようにはんだを供給して、前記はんだを介して前記半導体チップの外部端子と前記半導体チップの外部端子とを接続させてなることを特徴とする半導体集積回路装置。

【請求項 2 3】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子と前記配線基板の配線との接続構造は、前記配線基板の配線を上部から包み込むようなはんだまたは Au ボールのスタッドバンパを用いて、前記スタッドバンパを介して前記配線基板の配線と前記半導体チップの外部端子とを接続させてなることを特徴とする半導体集積回路装置。

【請求項 2 4】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記半導体チップの外部端子と前記配線基板の配線との接続構造は、Al、はんだまたは Au ワイヤを用いて前記配線基板の配線と前記半導体チップの外部端子とを接続させてなることを特徴とする半導体集積回路装置。

【請求項 2 5】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンパ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板の配線構造は、前記配線の幅寸法を前記配線基板の基板基材の端部から配線先端に向けてしだいに細くし、前記基板基材の端部において生ずる曲げ応力 σ_0 に対して、前記基板基材の端部と配線先端部との中間で生ずる最大応力 σ_1 としたときの曲げ応力比 α が、

THIS PAGE BLANK (USPTO)

$$\alpha = \sigma_1 / \sigma_0$$

で示される場合に、前記曲げ応力比 α が 1.2 ~ 1.5 となるように前記配線の寸法および形状を設定させてなることを特徴とする半導体集積回路装置。

【請求項 2 6】 請求項 2 5 記載の半導体集積回路装置であって、前記配線基板の配線構造は、前記配線の幅寸法を前記配線基板の基板基材の端部から配線先端に向けてしだいに細くし、所定の位置から一定の幅寸法となるように形成して、テーパー長を L_1 、配線長を L_2 、テーパー幅を b_1 、配線幅を b_2 としたときの曲げ応力比 α が、

$$\alpha = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$$

で示される場合に、前記曲げ応力比 α が 1.2 ~ 1.5 となるように前記配線の寸法および形状を設定させてなることを特徴とする半導体集積回路装置。

【請求項 2 7】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板の配線構造は、導電材料を芯材として表面に Au めっきを施してなることを特徴とする半導体集積回路装置。

【請求項 2 8】 半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線他端側であるランド部をバンプ電極と電気的に接続させてなる半導体集積回路装置であって、前記配線基板は基板基材の裏面上に前記配線が形成されて、前記配線の裏面上に絶縁膜を形成させ、前記絶縁膜の裏面側に前記弾性構造体を配置させてなることを特徴とする半導体集積回路装置。

【請求項 2 9】 基板基材上に配線が形成された配線基板の裏面上に弾性構造体を形成する工程と、前記弾性構造体の裏面上に前記配線のリード部と半導体チップの外部端子との相対位置が一致するように前記半導体チップを接着する工程と、前記配線のリード部を前記半導体チップの外部端子に接続する工程と、前記半導体チップの外部端子と前記配線との接続部分を樹脂封止する工程と、前記半導体チップの外周よりやや外側において前記配線基板の基板基材を切断する工程と、前記配線の主面上に絶縁膜を形成する工程と、前記絶縁膜の前記配線のランド部とバンプ電極とが接合される位置に開口部を形成する工程と、前記開口部を介して前記配線のランド部に接合させてバンプ電極を形成する工程とからなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3 0】 請求項 2 9 記載の半導体集積回路装置の製造方法であって、前記絶縁膜の開口部は、前記絶縁膜を形成する工程において、前記絶縁膜の材料の塗布範

囲を規定することにより形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 3 1】 請求項 2 9 記載の半導体集積回路装置の製造方法であって、前記絶縁膜の厚さは、前記絶縁膜を形成する工程において、前記絶縁膜の材料の塗布条件を規定することにより設定することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置技術に関し、特に小型、軽量、薄型化の動きが活発化してきている携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器に適用して有効な技術に関する。

【0002】

【従来の技術】 近年、電子機器の高機能化、高性能化とともに、小型、軽量、薄型化の動きが活発化してきている。これは、最近の携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器の急増によるところが大きい。また、個人で操作する機器のマン・マシンインタフェース的役割が増し、取り扱いの容易性や操作性が益々重要視されるようになってきている。今後、本格的なマルチメディア時代の到来とともに、この傾向は一層強まるものと思われる。

【0003】 こうした状況の中で、半導体チップの高密度化、高集積化の進展は止まるところを知らず、半導体チップの大型化や多電極化が進み、パッケージは急激に大型化してきている。このため、一方ではパッケージの小型化を進めるために端子リードの狭ピッチ化も加速し、これとともにパッケージの実装も急速に難しくなっている。

【0004】 そこで、近年、半導体チップと同面積の超多ピン、高密度パッケージが提案されてきており、たとえば日経 B P 社、1994 年 5 月 1 日発行の「日経マイクロデバイス」P 98 ~ P 102、同じく 1995 年 2 月 1 日発行の「日経マイクロデバイス」P 96 ~ P 97、工業調査会、平成 7 年 4 月 1 日発行の「電子材料」P 22 ~ P 28 などの文献に記載されるパッケージ技術などが挙げられる。

【0005】 これらのパッケージ技術における構造の一例は、たとえば半導体チップの表面上にエラストマを介してフレキシブル配線基板が設けられ、前記フレキシブル配線基板の配線の一端側であるリードが前記半導体チップの表面上のボンディングパッドと電気的に接続され、かつ前記フレキシブル配線基板の配線他端側であるバンプランドがはんだバンプと電気的に接続されるパッケージ構造となっている。

【0006】 このパッケージ構造は、外形寸法が半導体チップと同じ、または必要に応じて付ける保護枠だけ大きい程度であり、はんだバンプが形成されたフレキシ

THIS PAGE BLANK (USPTO)

ブル配線基板が用いられている。この配線基板の配線パターンは、AuめっきCu箔で形成され、先端部はCuがエッチングされてAuリードになっている。このフレキシブル配線基板を半導体チップの表面にエラストマで接着した上で、Auリードを半導体チップのボンディングパッドに接続する構造となっている。

【0007】

【発明が解決しようとする課題】ところで、前記のようなパッケージ構造において、本発明者が検討したところによれば、以下のようなことが考えられる。たとえば、前記のパッケージ構造におけるフレキシブル配線基板は、配線基板の配線面にエラストマを形成する、いわゆる裏配線構造を採用しているために、フレキシブル配線基板上の配線パターンの凹凸が要因となってエラストマを均一に安定して搭載することが難しくなっている。

【0008】すなわち、エラストマをフレキシブル配線基板上に塗布または貼り付ける際に、配線パターンの凸部の両側にエラストマが充填されないボイドが形成されたり、さらにエラストマの寸法形状が安定しないために半導体チップの接着工程も安定して行うことができないという問題点の生じることも考えられる。

【0009】そこで、本発明の一つの目的は、表配線構造の採用によって弾性構造体を高精度に安定して配線基板に搭載し、半導体チップの接着工程を安定させて歩留まりの高い組み立てを行うことができる半導体集積回路装置を提供することにある。

【0010】本発明の一つの目的は、複数配線層構造の採用によって耐ノイズ性などの面で優れた電気特性を得ることができる半導体集積回路装置を提供することにある。

【0011】本発明の一つの目的は、表配線構造、複数配線層構造を種々のタイプ、バリエーションのパッケージ構造に適用することにある。

【0012】本発明の一つの目的は、基板基材のひさし最適化によって弾性構造体の成分による配線の汚染を防止することにある。

【0013】本発明の一つの目的は、パッケージ外形寸法の最適化によって半導体チップの損傷防止、半導体チップの信頼性向上、さらに弾性構造体と半導体チップとの接着不良、配線基板の平坦度の悪化、信頼性の低下を防止することにある。

【0014】本発明の一つの目的は、平面S字配線構造によってソフト改造した特殊なワイヤボンダを必要とせず、さらにボンディングツールの軌跡を単純化してボンディング時のタクトタイム短縮の効果を得ることにある。

【0015】本発明の一つの目的は、片持ち梁配線構造によって配線の切断時における問題を解決することにある。

【0016】本発明の一つの目的は、半導体チップの外

部端子周辺のパッシベーション開口部の拡大によって、パッシベーションまたはその下の半導体チップへのダメージを低減し、さらに配線の汚染防止によるボンディング性を向上させることにある。

【0017】本発明の一つの目的は、配線のノッチ終端側の配線部の有効面積を大きくすることによって配線と基板基材間の接着強度を増し、安定したノッチ切断性を得ることにある。

【0018】本発明の一つの目的は、弾性構造体の拡張構造によって配線基板の反りを抑え、さらに接着材による接着性を向上させ、また耐湿性や信頼性に優れたパッケージを構成することにある。

【0019】本発明の一つの目的は、弾性構造体の溝埋め技術によって溝埋め性を向上させ、また片側吊り部を複数本とすることによってメタルマスクの強度を上げることができ、さらに封止材流れ止め用のダムの形成によって一層溝埋め性を向上させることにある。

【0020】本発明の一つの目的は、インナーリードのボンディング技術において、接合性を向上し、さらに半導体チップに対するダメージを防ぐことにある。

【0021】本発明の一つの目的は、曲げ応力比を考慮した配線設計によってボンディングツールのリターンなしで、ボンディングツールを垂直に打ち下ろすだけで好適なS字形状を形成することにある。

【0022】本発明の一つの目的は、導電材料の芯材とAuめっきによる配線構造によって配線自体のクラックを起りにくくし、また半導体チップへのボンディングダメージを軽減することにある。

【0023】本発明の一つの目的は、配線上への絶縁材料の形成によって弾性構造体低分子量成分のブリードを抑え、さらに表面が平坦化されることで弾性構造体形成時のボイドの巻き込みなどの不具合を回避することにある。

【0024】本発明の一つの目的は、半導体集積回路装置の製造方法において、表配線構造の採用によって絶縁膜への穴径加工精度を高くすることにある。

【0025】本発明の一つの目的は、半導体集積回路装置の製造方法において、表配線構造の採用により絶縁膜を薄く安定して塗布することによって小さいパンプ電極を良好に接合でき、さらにパンプ電極の配列ピッチが小さくできるので、より高密度な出力端子を有する半導体パッケージを構成することにある。

【0026】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0027】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0028】すなわち、本発明の一つの半導体集積回路

THIS PAGE BLANK (USPTO)

装置は、半導体チップの主面上に弾性構造体を介して配線基板を設け、前記配線基板の配線の一端側であるリード部を撓ませた状態で前記半導体チップの主面上の外部端子と電気的に接続させ、かつ前記配線基板の配線の他端側であるランド部をバンプ電極と電気的に接続させる半導体集積回路装置に適用して、前記配線基板は基板基材の主面上に前記配線が形成されて、前記基板基材の裏面側に前記弾性構造体を配置させ、かつ前記配線の主面上に絶縁膜を形成させてなる、いわゆる表配線構造を採用したパッケージ構造とするものである。特に、前記配線基板の配線を複数の配線層構造とするようにしたものである。

【0029】さらに、前記半導体チップの外部端子を半導体チップの中央部または外周部に配置させて、前記半導体チップの外部端子に前記配線基板の配線を介して接続される前記バンプ電極を、前記半導体チップの外周より内側、外側または内側と外側との両領域に配置させるようにしたものである。

【0030】また、本発明の本発明の一つの半導体集積回路装置は、前記半導体チップの外部端子側における前記弾性構造体の端部と前記配線基板の基板基材の端部との寸法を、前記弾性構造体の成分に基づいて設定するものである。

【0031】さらに、本発明の一つの半導体集積回路装置は、前記半導体集積回路装置の外周部側における前記配線基板の基板基材の端部と前記弾性構造体の端部との距離を $M2$ 、前記半導体チップの端部と前記基板基材の端部との距離を $M1$ とする場合に、 $M1 > M2 > 0$

の関係を満たす範囲で前記 $M2$ と前記 $M1$ とを設定するものである。

【0032】さらに、本発明の一つの半導体集積回路装置は、前記配線基板の配線を、前記配線基板の基板基材との固定部分と前記半導体チップの外部端子に接続される先端部分とを少なくとも前記配線の幅以上変位された形状に形成するものである。

【0033】さらに、本発明の一つの半導体集積回路装置は、前記配線基板の配線を、前記配線基板の基板基材に一方が固定された片持ち梁構造に形成するものである。

【0034】さらに、本発明の一つの半導体集積回路装置は、前記半導体チップ上の表面保護膜の開口部の端部を、少なくともボンディングツールを打ち下ろす側において、前記ボンディングツールを打ち下ろしたときに前記配線が前記表面保護膜に干渉しない範囲の寸法に設定するものである。

【0035】さらに、本発明の一つの半導体集積回路装置は、前記配線基板の配線を、前記配線のノッチ終端側における配線部分の有効面積を大きく形成するものである。特に、前記ノッチ終端側の配線部分を、対向する配

線のランド部につなげたり、配線の空き領域に縦方向または横方向に延長させたり、あるいは隣接する配線同士を連結させるようにしたものである。

【0036】さらに、本発明の一つの半導体集積回路装置は、前記弾性構造体を、前記半導体チップの外形寸法に比べて、少なくとも前記弾性構造体に形成される外周部突起幅分以上で全周に渡って大きい範囲で形成するものである。

【0037】さらに、本発明の一つの半導体集積回路装置は、前記弾性構造体を前記半導体チップの外部端子上に接着しないように分割して形成する場合に、前記分割された弾性構造体の対向する空間のそれぞれの端部を溝状に形成するものである。特に、前記弾性構造体のそれぞれの端部に形成される溝を複数本で形成したり、前記分割された弾性構造体の対向する空間のそれぞれの端部の溝には、封止工程の際に予め封止材流れ止め用のダムを形成するようにしたものである。

【0038】さらに、本発明の一つの半導体集積回路装置は、前記半導体チップの外部端子と前記配線基板の配線との接続構造を、予め前記半導体チップの外部端子にスタッドバンプを形成して、前記スタッドバンプを介して前記半導体チップの外部端子と前記配線基板の配線とを接続するものである。

【0039】さらに、本発明の一つの半導体集積回路装置は、前記半導体チップの外部端子と前記配線基板の配線との接続構造を、予め前記配線基板の配線を包み込むようにはんだを供給して、前記はんだを介して前記半導体チップの外部端子と前記半導体チップの外部端子とを接続するものである。

【0040】さらに、本発明の一つの半導体集積回路装置は、前記半導体チップの外部端子と前記配線基板の配線との接続構造を、前記配線基板の配線を上部から包み込むようなはんだまたはAuボールのスタッドバンプを用いて、前記スタッドバンプを介して前記配線基板の配線と前記半導体チップの外部端子とを接続するものである。

【0041】さらに、本発明の一つの半導体集積回路装置は、前記半導体チップの外部端子と前記配線基板の配線との接続構造を、A1、はんだまたはAuワイヤを用いて前記配線基板の配線と前記半導体チップの外部端子とを接続するものである。

【0042】さらに、本発明の一つの半導体集積回路装置は、前記配線基板の配線構造を、前記配線の幅寸法を前記配線基板の基板基材の端部から配線先端に向けてしだいに細くし、前記基板基材の端部において生ずる曲げ応力 $\sigma 0$ に対して、前記基板基材の端部と配線先端部との間で生ずる最大応力 $\sigma 1$ としたときの曲げ応力比 α が、

$$\alpha = \sigma 1 / \sigma 0$$

また特に所定の位置から一定の幅寸法となるように形成

THIS PAGE BLANK (USPTO)

して、テーパ長を L_1 、配線長を L_2 、テーパ幅を b_1 、配線幅を b_2 としたときの曲げ応力比 α が、 $\alpha = b_1 \times (L_2 - L_1) / (b_2 \times L_2)$ で示される場合に、前記曲げ応力比 α が1.2~1.5となるように前記配線の寸法および形状を設定するものである。

【0043】さらに、本発明の一つの半導体集積回路装置は、前記配線基板の配線構造を、導電材料を芯材として表面にAuめっきを施すものである。

【0044】さらに、本発明の一つの半導体集積回路装置は、前記配線基板は基板基材の裏面上に前記配線が形成されて、前記配線の裏面上に絶縁膜を形成させ、前記絶縁膜の裏面側に前記弾性構造体を配置するものである。

【0045】また、本発明の一つの半導体集積回路装置の製造方法は、前記基板基材上に配線が形成された配線基板の裏面上に弾性構造体を形成する工程と、前記弾性構造体の裏面上に前記配線のリード部と半導体チップの外部端子との相対位置が一致するように前記半導体チップを接着する工程と、前記配線のリード部を前記半導体チップの外部端子に接続する工程と、前記半導体チップの外部端子と前記配線との接続部分を樹脂封止する工程と、前記半導体チップの外周よりやや外側において前記配線基板の基板基材を切断する工程と、前記配線の主面上に絶縁膜を形成する工程と、前記絶縁膜の前記配線のランド部とバンプ電極とが接合される位置に開口部を形成する工程と、前記開口部を介して前記配線のランド部に接合させてバンプ電極を形成する工程とからなるものである。

【0046】特に、前記絶縁膜の開口部を、前記絶縁膜を形成する工程において、前記絶縁膜の材料の塗布範囲を規定することにより形成したり、前記絶縁膜の厚さを、前記絶縁膜を形成する工程において、前記絶縁膜の材料の塗布条件を規定することにより設定するようにしたものである。

【0047】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0048】**〔実施の形態1〕**(図1)は本発明の実施の形態1である半導体集積回路装置を示す平面図、(図2)は図1のA-A'切断線における断面図、図3および図4は半導体集積回路装置の実装基板への実装状態を示す平面図および断面図、図5は半導体集積回路装置の組み立て工程を示すフロー図、図6~図58、図76~図81は本実施の形態1の半導体集積回路装置の特徴と本発明者が検討した比較例である半導体集積回路装置との比較説明のための図であり、これらの図の説明は後述するそれぞれの技術項目毎に説明する。

【0049】まず、図1および図2により本実施の形態1の半導体集積回路装置の構成を説明する。

【0050】本実施の形態1の半導体集積回路装置は、たとえば40ピンのボールグリッドアレイ形式の半導体パッケージとされ、主面上に複数のボンディングパッドが形成された半導体チップ1と、ボンディングパッドの形成部分を除く半導体チップ1の主面上に接着されるエラストマ2(弾性構造体)と、エラストマ2の主面上に接着され、半導体チップ1のボンディングパッドに一端が接続される配線が形成されたフレキシブル配線基板3(配線基板)と、フレキシブル配線基板3の主面上に形成されるソルダレジスト4(絶縁膜)と、ソルダレジスト4の主面上に形成され、このソルダレジスト4の開口部を介して配線の他端に接続されるはんだバンプ5(バンプ電極)とから構成され、半導体チップ1のボンディング部分が樹脂などの封止材6により覆われたパッケージ構造となっている。

【0051】半導体チップ1は、たとえば図1に示すようにセンターパッド構造とされ、長手方向の中央部に複数のボンディングパッド7(外部端子)が一行列に形成され、これらのボンディングパッド7は不均一な間隔で並べられている。この半導体チップ1には、たとえばシリコンなどの半導体基板上に記憶回路、論理回路などの所定の集積回路が形成され、これらの回路の外部端子としてA1などの材料からなるボンディングパッド7が設けられている。

【0052】エラストマ2は、たとえばシリコン樹脂などの弾性材料から構成され、半導体チップ1の主面上に対して、ボンディングパッド7が形成された部分を除くように長手方向の両端部に二分割して接着材8を介して接着されている。このエラストマ2は、温度特性試験などにおいて、主に半導体チップ1とパッケージ実装基板との熱膨張係数が異なることに起因するはんだバンプ5に対する応力集中を緩和するために設けられている。

【0053】フレキシブル配線基板3は、たとえば図2に示すように、このフレキシブル配線基板3の基材となるテープ9(基板基材)と、このテープ9の主面上に接着される配線10とから構成され、配線10の一端のリード11が半導体チップ1のボンディングパッド7に接続され、他端のバンプランド12がはんだバンプ5に接続される。このフレキシブル配線基板3においては、テープ9の裏面側がエラストマ2に接着され、また配線10の主面側にはソルダレジスト4が形成されている。

【0054】このフレキシブル配線基板3を構成するテープ9は、たとえばポリイミド樹脂などの材料から構成され、また配線10には、たとえばCuなどの材料が芯材として用いられる。この配線10のリード11の部分は、芯材の表面および裏面にNiなどの材料によるNiめっき層が形成され、さらにこのNiめっき層の表面にAuなどの材料からなるAuめっき層が形成されている。

【0055】ソルダレジスト4は、たとえば感光性エポ

THIS PAGE BLANK (USPTO)

キシ樹脂などによる絶縁材料から構成され、フレキシブル配線基板3の配線10の主面上に、このソルダレジスト4の開口部を介してはんだバンプ5が配線10のバンブランドに接続される接続部分を除く所定の範囲に形成されている。

【0056】はんだバンプ5は、たとえばPb-Sn、Pb-Snなどを主成分とする合金などの材料から構成され、フレキシブル配線基板3を構成する配線10のバンブランド12に接続されている。このはんだバンプ5は、半導体チップ1のボンディングパッド7の両側の領域に分割してそれぞれ二列に並べられて設けられている。

【0057】以上のように構成される半導体集積回路装置は、たとえば図3および図4に示すように、DRAMなどのチップサイズパッケージ13の半導体集積回路装置として、メモリコントローラなどの一般パッケージ14の半導体集積回路装置とともにメモリカードなどの実装基板15に搭載され、外部接続端子16を通じて携帯電話機やハンディタイプのパーソナルコンピュータなどの携帯機器に挿脱可能に装着されるようになっている。

【0058】次に、本実施の形態1の作用について、始めに図5のプロセスフローに基づいて半導体パッケージの組み立て工程の概要を説明する。

【0059】まず、半導体パッケージの組み立てに先立って、たとえばテープ9上に配線10が形成され、この配線10の一部をエッチングして形成されたリード11を有するフレキシブル配線基板3、エラストマ2、所定の集積回路が形成され、外部端子としてのボンディングパッド7が設けられた半導体チップ1、封止材6、フラックス、はんだボール17を形成するはんだなどを用意する。

【0060】このフレキシブル配線基板3は、たとえばTAB（テープオートメテッドボンディング）テープのような、ポリイミド樹脂からなるテープ9の上に薄い金属を接着などで形成し、写真技術を用いて金属上に必要なパターンをレジストにより形成した後、エッチングにより必要な配線10（リード11も含む）を形成し、さらにその表面にNi、Auのめっき処理を施すことにより作ることができる。

【0061】そして、フレキシブル配線基板3のテープ9上に、たとえばエラストマ2を印刷により50～150μmの厚さに形成し、さらにそのエラストマ2の表面に、たとえばシリコン系の接着材8を塗布して印刷する（ステップ501、502）。ここで、エラストマ2は必ずしも印刷ではなく、予めフィルム状に形成したものを所定の形状に切断し、接着材8でテープ9の裏面に接着してもよい。

【0062】さらに、フレキシブル配線基板3の配線10の一端のリード11と、半導体チップ1のボンディングパッド7との相対位置が一致するように位置合わせを

して、半導体チップ1をフレキシブル配線基板3のテープ9上に印刷されたエラストマ2に接着して貼り付ける（ステップ503）。

【0063】そして、半導体チップ1とフレキシブル配線基板3のテープ9とがエラストマ2を介して貼り付けられた状態で反転させ、リードボンディング工程において、ボンディングツール18によりリード11を図2の断面に示すようにS字形状に変形させながら半導体チップ1のボンディングパッド7上に打ち下ろし、たとえば超音波熱圧着などの手法によりリード11とボンディングパッド7の接続を行う（ステップ504）。

【0064】続いて、封止工程において、半導体チップ1のボンディングパッド7とフレキシブル配線基板3のリード11とのリードボンディング部分を、たとえばエポキシ樹脂などの封止材6をディスペンサ19から塗布して樹脂封止し、半導体チップ1とフレキシブル配線基板3との接合部の信頼性を高める（ステップ505）。

【0065】その後、フレキシブル配線基板3の切断工程において、半導体チップ1のエッジよりやや外側においてテープ9の外縁部を切断してCSP（チップサイズパッケージまたはチップスケールパッケージ）のパッケージ外形を形成する（ステップ506）。

【0066】さらに、はんだバンプ5のバンプ付け工程において、はんだボール17を対応するフレキシブル配線基板3の配線10のバンブランド12に接合してはんだバンプ5を形成し、最後に選別、マーキングを経て本実施の形態1の半導体パッケージの組み立て工程が完了する（ステップ507、508）。

【0067】なお、この半導体パッケージの組み立て工程において、テープ切断工程（ステップ506）とバンプ付け工程（ステップ507）は逆でも構わない。

【0068】これにより、本実施の形態1の場合には、半導体チップ1の中央部にボンディングパッド7を一系列に集中配置し、このボンディングパッド7からフレキシブル配線基板3の配線10を介して接続される半導体チップ1の外周より内側の領域にはんだバンプ5が設けられた、いわゆるファンイン-センターパッド構造と称される半導体パッケージ構造となっている。

【0069】次に、本実施の形態1の半導体集積回路装置のパッケージ構造の特徴を、本発明者が検討した技術としてのパッケージ構造との比較により、図6～図58に基づいて構造およびプロセスなどを含めて順に説明する。

【0070】1. 表配線構造

この表配線構造の技術説明において、図6は表配線構造を示す要部断面図、図7は裏配線構造を示す要部断面図、図8は両面配線を示す要部断面図である。

【0071】本実施の形態1のパッケージ構造は、図6に拡大して示すように、フレキシブル配線基板3のテープ9の裏面上（半導体チップ1側）にエラストマ2が接

THIS PAGE BLANK (USPTO)

着され、かつ配線10の主面上(はんだバンプ5側)にソルダレジスト4が形成された、いわゆる表配線構造となっている。これに対して、本発明者が検討した技術においては、図7に示すように、逆に配線10の裏面上にエラストマ2が接着され、テープ9がはんだバンプ5側に形成された、いわゆる裏配線構造となっている。

【0072】よって、検討した裏配線構造においては、はんだバンプ5を接合するバンプランド12は、たとえばポリイミド樹脂などの材料のテープ9をパンチなどで打ち抜いて形成するのに対して、本実施の形態1の表配線構造では、配線10の主面に感光性エポキシ樹脂などの材料からなるソルダレジスト4を塗布し、所望の位置に所望の大きさのバンプランド12を露光、現像などの写真法などにより形成するため、以下のような利点が期待できる。

【0073】(1). はんだバンプ5用の開口部をソルダレジスト4の露光、現像によって形成するので、裏配線構造のフレキシブル配線基板3のテープ9に機械加工によって開口部を開ける場合に比べて、より穴径加工精度を高くできる。

【0074】(2). テープ9は、実用的な厚さとして50 μ m程度が最小であるのに対して、ソルダレジスト4は塗布条件によって10~20 μ m程度の厚さで安定して塗布することができるので、より小さいはんだボール17を良好に接合可能となる。

【0075】(3). 表配線構造は裏配線構造に比較してはんだバンプ5の配列ピッチを小さくできるので、より高密度なはんだバンプ5の出力端子を有する半導体パッケージを構成することが可能となる。

【0076】(4). テープ9の裏面の平坦な面にエラストマ2を配置するので、エラストマ2をより高精度に安定してボイドレスでテープ9に搭載(塗布または貼り付け)することができる。またエラストマ2の寸法形状が安定するので、半導体チップ1の接着工程も安定し、歩留まりの高い組み立てを行うことができる。

【0077】以上のように、裏配線構造の技術においては、フレキシブル配線基板3のテープ9への開口部の形成、フレキシブル配線基板3の配線10とエラストマ2との接着性などの課題が生じるが、本実施の形態1においては、これらの課題が表配線構造を採用することにより解決することができる。

【0078】また、フレキシブル配線基板3の配線構造においては、図6のように片面配線構造のほかに、たとえば図8に示すような両面配線構造、すなわちテープ9の両面に二層配線を有するフレキシブル配線基板3を使用することも可能であり、さらに三層配線以上の複数層配線構造にわたって広く適用可能である。

【0079】この図8の例では、たとえば第1配線20を信号配線、第2配線21をグラウンドプレーンとし、第2配線21とはんだバンプ5または第1配線20との電

氣的な接続はビアホール22を介して行われる。このような構造では、耐ノイズ性などの面で優れた電気特性を得ることができるという利点がある。

【0080】2. エラストマに対するテープのひさし最適化

このエラストマに対するテープのひさし最適化の技術説明において、図9はウィンドウ開口部を示す平面図、図10は図9のウィンドウ開口部を示す断面図、図11はウィンドウ開口部および半導体チップのエッジ部の寸法説明のための断面図である。

【0081】本実施の形態1のパッケージ構造においては、図9に示すように、フレキシブル配線基板3の主面にはんだバンプ5がマトリックス配置で並ぶBGA(ボールグリッドアレイ)構造となっている。この例では、図10に示すように半導体チップ1はセンターパッド配列であり、中央部に縦にウィンドウ開口部23が設けられ、最終構造ではこの部分と半導体チップ1の周辺エッジを封止材6で樹脂封止して耐湿性や信頼性の高い構造となっている。

【0082】ところで、本発明者が検討した技術においては、エラストマ2の端部(ウィンドウ開口部23側)をテープ9のエッジまで近づける、つまり図11の半導体チップ1のボンディングパッド7側におけるエラストマ2の端部とテープ9の端部との寸法L1を小さくすると、エラストマ2のブリード成分や揮発成分によるリード11の汚染が発生する。

【0083】逆に、寸法L1を大きく、つまりテープ9のエッジより後退させすぎると、エラストマ2の端部とはんだバンプ5との寸法L2が小さくなり、最も内側のはんだバンプ5の下にエラストマ2がなくなるため、はんだバンプ5の高さばらつきを悪化させたり、ウィンドウ開口部23の封止領域が広くなり、封止材6が埋めにくくなるということが考えられる。

【0084】これに対して、本実施の形態1においては、適切な寸法L1を選択してエラストマ2の端部をテープ9の端部とはんだバンプ5との間の最適な場所に配置することにより、これらの問題を同時に解決することができる。

【0085】すなわち、ウィンドウ開口部23に関しては、前述したような問題点があるため、寸法を次のように規定している。たとえば、この例ではエラストマ2の印刷精度は $\pm 100\mu$ m程度であるものとする。よって、寸法L1を100 μ m以下とすると印刷ずれでテープ9からはみ出してしまうため、最小でも印刷精度(100 μ m)以上は必要である。

【0086】さらに、エラストマ2のブリード成分や揮発成分によるリード11の汚染性は、実績として300 μ m程度離せば問題ないことから、たとえば最小値300 μ mとしているが、汚染性、ブリード性の低いエラストマ2を使用する、または汚染分の洗浄などの対策を講

THIS PAGE BLANK (USPTO)

じれば最小値 $100\mu\text{m}$ に近い設計が可能となる。

【0087】以上により、本実施の形態1のように適切な寸法L1を選択することによって、エラストマ2のブリード成分や揮発成分によるリード11の汚染を防止するとともに、はんだバンプ5の高さばらつきを安定させ、ウィンドウ開口部23の封止領域を容易に埋めることができる。

【0088】3. パッケージの外形寸法最適化

このパッケージの外形寸法最適化の技術説明において、図11は前記で説明したウィンドウ開口部および半導体チップのエッジ部の寸法説明のための断面図、図12は印刷後のエラストマの凹みを示す断面図、図13は半導体チップ貼り付け後のテープの反りを示す断面図である。

【0089】たとえば、本発明者が検討した技術では、図11において、パッケージの外周部側における半導体チップ1の端部とフレキシブル配線基板3のテープ9の端部との距離をM1、エラストマ2の端部とテープ9の端部との距離をM2とすると、

(1) $M1 < 0$ の場合、パッケージ最外周が半導体チップ1になるため、組み立て工程、ソケット抜き差し、トレイ搬送途中などに半導体チップ1のクラックを誘発する可能性が大きい。

【0090】(2) $M1 < 0$ 、 $M2 > 0$ の場合、半導体チップ1の回路面が外に出るため、信頼性に問題があり、またこれを防ぐために封止を行うこともできるが、工程の増加につながる。

【0091】(3) $M1 - M2 < 0$ の場合、図12に示す印刷後のエラストマ2の周辺突起が、図13に示すように半導体チップ1の接着部にかかり、貼り付けの際の接着不良、フレキシブル配線基板3の平坦度の悪化、信頼性の低下の原因となる。

【0092】(4) $M2 = 0$ の場合、エラストマ2を切断する必要があり、切断が難しいなどの問題が生じる。

【0093】これに対して、本実施の形態1においては、半導体チップ1の端部またはエラストマ2の端部とテープ9の端部との距離の関係を $M1 > M2 > 0$ とすることで、前記の問題点を解決することができる。すなわち、図11のパッケージのエッジ部を示す寸法説明図において、最終外形を決定するテープ切断工程の切断誤差は $100\mu\text{m}$ 程度であるため、エラストマ2に切断治具がかからないためにはM2を $100\mu\text{m}$ 以上確保することが望ましい。

【0094】ところで、エラストマ2を印刷により形成し、ベークにより硬化した後の断面形状は図12に示すようになり、ある程度チキソ性の高い材料においては、印刷後の版離れの際にマスクに引っ張られて周辺部が高くなる傾向にある。たとえば、半導体チップ1の端部がエラストマ2の端部より小さい、 $M1 < M2$ のような条件で半導体チップ1を貼り付けると、図13に示すよう

にテープ9の表面がエラストマ2の断面形状にならって反るような問題が発生する。

【0095】これを防ぐためには、 $M1 > M2$ としてエラストマ2の周辺の高い部分を半導体チップ1より外に逃がすことが効果的で、たとえば突起の幅が $200\mu\text{m}$ 前後であることから $(M1 - M2)$ が $240\mu\text{m}$ であり、切断性の距離 $M2 = 100\mu\text{m}$ から距離M1は $360\mu\text{m}$ 程度が望ましい。

【0096】このように、外周のテープ9を切断することで、外形誤差が少なく、また半導体チップ1の多少の大きさの変更に対してもソケット、トレイなどの周辺治具の変更を行わないですむという利点がある。

【0097】以上のように、本実施の形態1においては、半導体チップ1のクラック、欠けの発生を回避でき、切断工程の切断マージンを上げることができる。さらに、半導体チップ1の回路面を全てエラストマ2の下に配置でき、耐湿性の向上、外周部への封止を行う必要がないなどの利点がある。

【0098】4. 平面S字リード

この平面S字リードの技術説明において、図14は平面S字リードを示す平面図、図15は図14のB矢視断面図、図16は図14のA矢視断面図、図17は標準S字リード形成時のボンディングツールの軌跡を示す断面図、図18は平面S字リード形成時のボンディングツールの軌跡を示す断面図である。

【0099】たとえば、本発明者が検討した標準S字リード24の形成技術においては、図14中に点線で示すような直線状のノッチリードまたはビームリードであり、ボンディング後に図15中の細線に示すように熱変形に耐えるに十分なたるみ(S字形状)を形成するためには、図17に示すようにリード11を一度半導体チップ1上のすれすれまで打ち下ろし、横方向に横ずらした後にボンディングパッド7上に再び打ち下ろして接合するという特殊なボンディングツール軌跡25に沿った動きが必要であり、専用のワイヤボンダが必要となることが考えられる。

【0100】これに対して、本実施の形態1においては、フレキシブル配線基板3のテープ9上に配線10を形成する際に、配線10のリード11は直線ではなく、予め図14に示すように、配線10の付け根部分と先端のボンディング部分が少なくともリード11の幅以上ずれているS字形状の平面S字リード26に作成しておくことにより、前記の課題が解決できる。

【0101】このように平面S字リード26にすれば、図18に示す一般のワイヤボンダでの単純な打ち下ろしによるボンディングツール軌跡25によって、図15に示すように突っ張ったリード形状となるものの、図16に示すようにもともとの平面S字形状によるところのたるみができるので、安定した好適なS字形状の平面S字リード26を形成することができる。

THIS PAGE BLANK (USPTO)

【0102】これにより、ソフト改造した特殊なワイヤボンダを必要とせず、安定したS字形状の平面S字リード26が形成でき、さらにボンディングツール軌跡25も単純化できるため、ボンディング時のタクトタイム短縮の効果も期待できる。

【0103】5. ビームリード

このビームリードの技術説明において、図19はノッチリードおよびビームリードを説明するための平面図、図20は図19のA部におけるノッチリードを示す平面図、図21はビームリードを示す平面図である。

【0104】たとえば、本発明者が検討した技術においては、図19におけるリード11の拡大図である図20に示すように、切断部にV字状の切り込みなどのノッチ27が入れられたリード11であり、ボンディング時にノッチ27のやや内側をボンディングツール18で打ち下ろし、ノッチ27の部分でリード11を切断している。しかし、フレキシブル配線基板3の製造工程における配線10のエッチングばらつきなどでノッチ27の太さが変化し、ボンディング時に切断できないということが生じる。

【0105】また、切断できたとしても所望のノッチ27と異なる部分で切れたり、あるいは細くなりすぎてフレキシブル配線基板3のめっき工程前に切れてしまい、めっきが着かないなどの問題点が生じることが考えられる。

【0106】これに対して、本実施の形態1においては、図21に示すように、フレキシブル配線基板3のテープ9に一端を固定し、切断側であるノッチ27が入れられた方を開放した片持ち梁構造、いわゆるビームリード28とすることで前記リード11の切断時の問題点を解決することができる。

【0107】6. ボンディングパッドの周辺PIQ（パッシベーション）寸法

このボンディングパッドの周辺PIQ寸法の技術説明において、図22はリードボンディング部を示す断面図、図23はリードボンディング部を示す平面図、図24は図22のA部におけるツールの着地点を拡大して示す断面図、図25はパッシベーション開口寸法を改良したボンディング部を示す断面図、図26は双方向リードのボンディング部を示す平面図である。

【0108】たとえば、本発明者が検討した技術において、図22、図23、図24に示すようなボンディングシーケンスにおいては、ボンディングツール軌跡25に示すように、一度半導体チップ1上のすれすれまでリード11を打ち下ろしてから横方向に横ずらし、半導体チップ1のボンディングパッド7上に再び打ち下ろして接合するため、一回目の打ち下ろしで半導体チップ1上のパッシベーション29またはその下の半導体チップ1にダメージを受けたり、リード11の下面のボンディング部にパッシベーション29の成分が付着して汚染し、ボ

ンディング性を悪化させるなどの問題が生じることが考えられる。

【0109】これに対して、本実施の形態1においては、前記図22、図23、図24に示したボンディングパッド7の開口部エッジからパッシベーション29のボンディングパッド7側のエッジまでの距離L3を、少なくともボンディングツール18を打ち下ろす側においてリード11がパッシベーション29に干渉しない範囲にパッシベーション開口部30を拡大し、図25のように改良すれば前記のような問題点が解決できる。

【0110】すなわち、図24において、たとえばメモリなどの半導体チップ1の例では、寸法L3は約25 μ m程度である。また、ボンディングパッド7のサイズは、たとえば100 μ m角、ボンディングツール18の先端寸法はそれと同等またはそれ以下程度であるから、図25におけるパッシベーション29の後退量L3は、たとえば125 μ m以上程度が望ましい。

【0111】以上により、半導体チップ1上のパッシベーション29または半導体チップ1にダメージを与えたり、リード11の下面のボンディング部にパッシベーション29の成分が付着して汚染するようなことがなく、好適なボンディング性を実現することができる。

【0112】また、図26のようにリード11が双方向から延びている場合にも、少なくともボンディングツール18を打ち下ろす側において、ボンディングパッド7の開口部エッジからパッシベーション29のボンディングパッド7側のエッジまでの距離を拡大することで同様に対応できる。なお、このエッジ間の拡大は、半導体チップ1の回路面が露出しない程度に反対側に適用しても問題となることはない。

【0113】7. アンカー配線の改善

このアンカー配線の改善の技術説明において、図27は標準アンカー配線を示す平面図、図28は改善アンカー配線を示す平面図である。

【0114】たとえば、本発明者が検討した技術において、図27に示すようなノッチ27の終端側の標準アンカー配線31のパターンにおいては、ノッチ27が設計値より太く形成された場合などにおいて、ノッチ27の部分では切れずに、その先の標準アンカー配線31における配線10とテープ9との接着強度が降伏して標準アンカー配線31の部分がテープ9から剥がれてしまうなどの不具合が考えられる。

【0115】これに対して、本実施の形態1においては、図28に示すように終端側のアンカー配線の部分の有効面積を大きくする拡大アンカー配線32とすることで、配線10とテープ9間の接着強度を増し、安定したノッチ27の切断性を得ることができる。

【0116】すなわち、図28において、拡大アンカー配線32の改善例を示すと、(1) 拡大アンカー配線32を対向する配線11のパンプランド12につなげる、

THIS PAGE BLANK (USPTO)

(2). 配線 11 の空きスペースに拡大アンカー配線 32 を縦方向に延長する、(3). 配線 11 の空きスペースに拡大アンカー配線 32 を横方向に延長する、(4). 隣接する拡大アンカー配線 32 同士を連結する、などの例があり、いずれも拡大アンカー配線 32 の部分の実質面積を増加させることで、配線 10 とテープ 9 間の接着強度の増加によってノッチ 27 の切断性を安定させることができる。

【0117】 8. ワイドエラストマ構造

このワイドエラストマ構造の技術説明において、図 29 は標準エラストマの構造を示す斜視図、図 30 は標準エラストマでの半導体チップの貼り付け状態を示す斜視図、図 31 はワイドエラストマの構造を示す斜視図、図 32 はワイドエラストマでの半導体チップの貼り付け状態を示す斜視図、図 33 はワイドエラストマでの半導体チップの貼り付け状態を示す断面図である。

【0118】たとえば、本発明者が検討した技術において、エラストマ 2 は半導体チップ 1 のボンディングパッド 7 の両側に二分割して接着され、図 29、図 30 に示すような標準エラストマ 33 による構造では、前記図 13 のようにエラストマ 2 の面積が半導体チップ 1 より小さい構造では周辺の突起の影響を受けてフレキシブル配線基板 3 の反りが発生し、この反りがはんだバンプ 5 の形成時および基板実装時などに問題となることが考えられる。

【0119】これに対して、本実施の形態 1 において、図 31 に示すような半導体チップ 1 の外形より大きいワイドエラストマ 34 による構造では、半導体チップ 1 の貼り付け後は図 32、図 33 に示すようにワイドエラストマ 34 の周辺の突起が半導体チップ 1 の外に出て、実質的にワイドエラストマ 34 の平坦な部分に半導体チップ 1 が接着されるため、フレキシブル配線基板 3 の反りが小さく抑えられる。

【0120】さらに、図 33 に示すように、接着材 8 の塗布エリアが広くとれるため、接着材 8 が行き渡らず不接着になる部分が発生しにくく、また半導体チップ 1 の周囲に接着材 8 がまんべんなくにじみ出して接着材しみ出し 35 ができるので、周辺封止をしなくても耐湿性や信頼性に優れたパッケージを構成することができる。

【0121】すなわち、ワイドエラストマ 34 の周辺の突起の幅は材料の物性値により異なるが、たとえば 200~300 μm 程度であり、従って本実施の形態 1 では図 33 に示すように、半導体チップ 1 のチップサイズより少なくとも突起幅分以上全周に渡って大きい範囲でワイドエラストマ 34 を形成しておく。

【0122】また、十分広くワイドエラストマ 34 を形成すれば平坦度は向上するが、半導体チップ 1 のすぐ外周でテープ 9 を切断しようとするれば、切断ライン 36 にてワイドエラストマ 34 ごとテープ 9 を切断し、パッケージ外形を規定する必要がある。

【0123】以上のように、半導体チップ 1 の外形より大きいワイドエラストマ 34 を用いることで、フレキシブル配線基板 3 の反りを小さく抑えることができるとともに、半導体チップ 1 の接着性を安定させ、パッケージの耐湿性や信頼性を向上させることができる。

【0124】 9. エラストマの溝埋め技術

このエラストマの溝埋め技術の説明において、図 31、図 32 は前記で説明したワイドエラストマの構造、半導体チップの貼り付け状態を示す斜視図、図 34 は標準エラストマでの半導体チップの貼り付け後の構造を示す斜視図、図 35 はその断面図、図 36 はワイドエラストマでの半導体チップの貼り付け後の構造を示す斜視図、図 37 はその断面図、図 38 はメタルマスク印刷の概念を示す断面図、図 39 は標準エラストマのメタルマスクを示す平面図、図 40 はワイドエラストマのメタルマスクを示す平面図、図 41 は複数本吊りのワイドエラストマの印刷形状を示す平面図、図 42 はワイドエラストマの溝埋めのためのポッティング位置を示す平面図である。

【0125】たとえば、本発明者が検討した技術において、図 34、図 35 に示すような標準エラストマ 33 の構造では、エラストマ 2 を図 38 に示すようなメタルマスク 37 による印刷で構成する場合、図 40 に示すメタルマスク 37 の印刷エリア開口部 38 の吊り部 39 が必ず存在するために、テープ吊り部下に半導体チップ 1 とエラストマ 2 の壁に囲まれる溝 40 (空間) が残る構造となっている。

【0126】従って、このような半導体チップ 1 とエラストマ 2 の空間に溝 40 が残る構造でウィンドウ開口部 23 を樹脂封止すると、封止材 6 がこの溝 40 から漏れてしまうため、前もってこの部分を別にポッティングする方法で目止めしてからウィンドウ開口部 23 を封止する必要が生じる。

【0127】このようにメタルマスク 37 の印刷の概念は、たとえば標準エラストマ 33 の場合には図 39、ワイドエラストマ 34 の場合には図 40 に示すような印刷する部分のみに印刷エリア開口部 38 を有するメタルマスク 37 を被印刷物であるフレキシブル配線基板 3 の所定の位置に位置決めして配置し、スキージ 41 により印刷物であるエラストマ 2 をメタルマスク 37 の厚さ分だけ塗り込むことで、所望の範囲に所望の厚さのエラストマ 2 を形成するものである。

【0128】よって、本実施の形態 1 においては、前記に示す図 31 のようなワイドエラストマ 34 を図 40 に示すようなメタルマスク 37 で印刷し、この場合にメタルマスク 37 の印刷エリア開口部 38 の吊り部 39 を細くしたものでエラストマ 2 を印刷することにより半導体チップ 1 とエラストマ 2 の壁に囲まれた溝 40 を細くすることができる。たとえば、メタルマスク 37 の吊り部 39 の強度から規定される溝 40 の幅の最小値は約 200 μm 程度である。

THIS PAGE BLANK (USPTO)

【0129】また、このエラストマ2の主面に接着材8を塗布して半導体チップ1を貼り付けた構造の場合、前記に示す図32、さらに図36、図37に示すように、十分な量の接着材8を塗布しておけば、貼り付け時の圧力により余分な接着材8がこの溝40を埋め、ウィンドウ開口部23を閉じた空間とすることができるので、目止めなしでウィンドウ開口部23の封止をすることができる。

【0130】さらに、溝埋め性を向上するには、メタルマスク37の吊り部39を細くして溝40を狭くすればよいが、メタルマスク37の強度が低下する問題が副作用となる。そこで、図41に示すようにそれぞれの片側の吊り部39を複数本とすることで、溝40の幅は変えずに、溝40の本数は増えるものの、メタルマスク37の強度を上げることも可能である。

【0131】さらに、溝埋め性を向上する目的で、図42に示すように、半導体チップ1の貼り付け直前にエラストマ2の溝40のポッティング位置42に予め樹脂、接着材などをたとえばポッティングして封止材流れ止めのダムを形成しておけば、さらに溝埋め性を向上させることができる。

【0132】また、検討した技術のように、半導体チップ1の貼り付け、ボンディング後、ウィンドウ開口部23の封止前にポッティングで目止めする場合にしても、溝40の幅を狭くしておけば封止性は飛躍的に向上させることもできる。

【0133】以上により、特にメタルマスク37の吊り部39を細くして、エラストマ2の溝40を細くすることによって溝埋め性を向上させることができ、さらに複数本の溝40にしたり、予めポッティング位置42に封止材流れ止めのダムを形成しておくことにより、一層溝埋め性の向上を可能とすることができる。

【0134】10. インナーリードボンディング技術
このインナーリードボンディング技術の説明において、図43は標準リードボンディングによるボンディング部を示す断面図、図44はスタッドバンプを用いたボンディング部を示す断面図、図45および図46ははんだを用いたリード接続を示す断面図および平面図、図47および図48ははんだまたはAuボールを用いたリード接続を示す断面図および斜視図、図49はA1またははんだワイヤを用いた接続を示す断面図、図50はAuワイヤを用いた接続を示す断面図である。

【0135】たとえば、本発明者が検討した技術において、図43に示すようなボンディング構造では、Auめっきを成長させたリード11をボンディングパッド7に直接打ち着け、超音波熱圧着している。この場合、ボンディング条件が悪い、またはボンディングツール18の形状が悪かったりするとボンディング強度が低かったり、ボンディングパッド7またはその下などにダメージを受けるなどの問題が発生することが考えられる。

【0136】これに対して、本実施の形態1においては、以下のようなボンディング形態における手段を採用することにより、前記のようなボンディング条件、ボンディングツール18の形状などが原因となる接合性やダメージなどの問題を解決することができる。

【0137】すなわち、図44はスタッドバンプ43を使った例である。この例では、半導体チップ1のボンディングパッド7に予めめっき法、またはボールボンディング法などの方法で形成したスタッドバンプ43を有する半導体チップ1を使用するのが特徴であり、このスタッドバンプ43により接合性を向上し、さらにダメージを防ぐ構成となっている。

【0138】また、図45、図46ははんだ44を用いたリード11の接続例であり、リード11をはんだ44で包み込む接続形態を示す。この例は、半導体チップ1のA1などからなるボンディングパッド7と、CSPの基板となるTABなどのテープ9の電極とを接続する接続構造の技術である。このときのはんだ44の供給方法としては、はんだ44をテープ9のリード11を包み込むように既に介在させたテープ9を用いて、半導体チップ1のボンディングパッド7と接続させる方法がある。

【0139】このときの接続方法として、ボンダを用いて加圧・加熱することにより接続させる方法においては、TABなどのテープ9に介在させたはんだ44の形状を半導体チップ1のボンディングパッド7に接する面をできるだけ平坦にしておくことが望ましい。また、リフロー炉を用いた接続方法では、はんだペーストもしくはフラックスを半導体チップ1のボンディングパッド7の面にTABなどのテープ9のはんだ44と接するように介在させる。

【0140】次に、はんだペーストを用いてはんだ44を供給する場合は、はんだペーストを半導体チップ1のボンディングパッド7の面に印刷もしくはシリンジを用いて介在させる。このとき、TABなどのテープ9は先に接着されていても、後でもどちらでも構わないが、半導体チップ1にテープ9を接着したときにテープ9のリード11がはんだ44と接することが前提となる。

【0141】さらに、図47、図48は、はんだまたはAuボール45などのスタッドバンプを用いてTABなどのテープ9のリード11を上から包み込む形で半導体チップ1のボンディングパッド7上に接続させることを特徴とした接続技術である。

【0142】また、図49はA1またははんだワイヤ46を用いて、フレキシブル配線基板3の配線10と半導体チップ1のボンディングパッド7を接続した例である。さらに、図50はAuワイヤ47を用いてフレキシブル配線基板3の配線10と半導体チップ1のボンディングパッド7を接続した例である。このような接続例では、TABなどのインナーリードボンディングではなく、一般のワイヤボンディングの概念で接続を可能とす

THIS PAGE BLANK (USPTO)

ることができる。

【0143】11. ツールリターンなしでのS字形成可能なリード設計技術

このツールリターンなしでのS字形成可能なリード設計技術の説明において、図17は前記で説明した標準S字リード形成時のボンディングツールの軌跡を示す断面図、図51はリード設計を説明するための斜視図、図52はボンディング後のリード変形を示す斜視図、図53はリード寸法と曲げ応力比との関係を示す説明図、図76～図80は曲げ応力比に応じたリード変形形状を示す断面図である。

【0144】たとえば、本発明者が検討した技術において、前記平面S字リード26の形成技術でも説明したように、前記図17に示すようなリード11のS字形成のためにはボンディングツール18の横ずらし、すなわちツールリターンを含む特殊なボンディングツール軌跡25が必要である。

【0145】これに対して、本実施の形態1においては、図51に示すようなリード11の寸法において、たとえば図53に示すような寸法とすれば、曲げ応力比 α は所望の1.2～1.5の範囲となり、ツールリターンなしでボンディングツール18を垂直に打ち下ろすだけで図52に示すような好適なリード11のS字形状が形成できる。図52において、48はテーブ端、49はテーブ側コーナー、50はチップ側コーナーを示す。

【0146】たとえば、実施の形態の①の例では、テーパ長 $L1=100\mu\text{m}$ 、配線長 $L2=380\mu\text{m}$ 、テーパ幅 $b1=65\mu\text{m}$ 、リード幅 $b2=38\mu\text{m}$ 、リード厚 $h=18\mu\text{m}$ の寸法において曲げ応力比 $\alpha=1.26$ となる。同様に②の例では1.25、③の例では1.26、④の例では1.31、⑤の例では1.46となる。

【0147】これに対して、検討した技術においては、たとえば①の例ではテーパ長 $L1=100\mu\text{m}$ 、配線長 $L2=280\mu\text{m}$ 、テーパ幅 $b1=60\mu\text{m}$ 、リード幅 $b2=38\mu\text{m}$ 、リード厚 $h=18\mu\text{m}$ の寸法において曲げ応力比 α が1.2～1.5の範囲外の1.02となり、②の例では1.13となる。

【0148】このように、曲げ応力比 α が1.2～1.5の範囲では、配線動作の際にリード11の中間部に曲げ応力が集中するので、緩やかにたわんだ良好な配線状態となる。一方、検討した技術のように曲げ応力比 α が1.2未満の場合にはリード11のテーブ端48に曲げ応力が集中するので、突っ張った状態となり、また1.5を超える場合には、リード11の中間部にのみ曲げ応力が集中して曲率半径が小さい状態となるので、良好な配線状態とはいえない。

【0149】ここで、具体的に曲げ応力比 α に応じたリード変形形状を図76～図80に示す。まず、図76に示す配線前の初期リード形状に対してボンディングツール18を垂直に打ち下ろすだけの場合に、たとえば $\alpha <$

0.9の配線動作の際には、リード11のテーブ端48に曲げ応力が集中するので、図77に示すような極端に突っ張った配線状態となる。このため、配線後の温度サイクル時にリード11に高い繰り返し応力がかかるので、疲労寿命が極端に短くなる。

【0150】また、本発明者が検討した技術のように $0.9 \leq \alpha < 1.2$ の配線動作の際には、リード11のテーブ端48に曲げ応力が集中するので、図78に示すようなやや突っ張った配線状態となる。このため、配線後の温度サイクル時にリード11に高い繰り返し応力がかかるので、疲労寿命が短くなる。

【0151】これに対して、本実施の形態1のように $1.2 \leq \alpha \leq 1.5$ の配線動作の際には、リード11の中間部に曲げ応力が集中するので、図79に示すような緩やかにたわんだ配線状態となる。このため、配線後の温度サイクル時にリード11に高い繰り返し応力が作用しないので、疲労寿命が長くなる。

【0152】さらに、曲げ応力比を大きくした $1.5 < \alpha$ の配線動作の際には、リード11の中間部のみに曲げ応力が集中するので、図80に示すような曲率半径が小さい配線状態となる。このため、曲げ部の初期強度が低下するので、配線後の温度サイクル時の疲労寿命が短くなる。

【0153】この結果、本実施の形態1のように $1.2 \leq \alpha \leq 1.5$ の範囲で曲げ応力比を設定することで、配線形状が緩やかにたわんだ最適な配線状態となり、かつリード11の温度サイクル寿命も長くすることができる。

【0154】この曲げ応力比 α の定義は、ボンディングツール18によって、リード11をボンディングパッド7の直上で押し上げる動作を行った際に、リード11のテーブ側コーナー49で発生する応力 $\sigma 1$ をリード11のテーブ端48で発生する応力 $\sigma 0$ で割った値である。すなわち、曲げ応力比 α は、テーパ形状を特徴としたリード11の寸法から次式で表すことができる。

$$\text{【0155】} \alpha = \sigma 1 / \sigma 0 = b 1 \times (L 2 - L 1) / (b 2 \times L 2)$$

以上により、曲げ応力比 α を1.2～1.5となるようにリード11の寸法・形状を設計することで、前記の平面S字リード26の技術と同様に、ワイヤボンダでの単純な打ち下ろし軌跡によって安定した好適なS字形状の配線状態を形成することができる。よって、ソフト改造した特殊なワイヤボンダを必要とせず、ボンディングツール軌跡25も単純化できるため、ボンディング時のタクトタイム短縮の効果も期待できる。

【0156】12. Niめっきレスリード

このNiめっきレスリードの技術説明において、図54はリード接続の接続部を示す断面図、図55はリードの屈曲部を示す拡大断面図、図56はNiめっきレスリードの屈曲部を示す拡大断面図、図57はリードの圧着部を示す拡大断面図、図58はNiめっきレスリードの圧

THIS PAGE BLANK (USPTO)

着部を示す拡大断面図である。

【0157】たとえば、本発明者が検討した技術において、Au無垢リードに代わってCuコアリードとして表面にNiめっき、さらにその表面にAuめっきを施すリード11の断面構造の場合には、Niめっき層が硬くて脆いため、図55のようにリード11の屈曲部でクラック51が入ったり、図57のようにボンディングパッド7またはその下にダメージ52を与えるなどの問題が生じることが考えられる。

【0158】これに対して、本実施の形態1においては、Niめっきをなくしたリード11を用いることで、硬度、脆さともに低くなるので、リード自体のクラック51が起りにくくなる他、対ボンディング面である半導体チップ1へのダメージ52も軽減することができる。

【0159】すなわち、図54のようなリード11の接続状態において、この図54のA部を拡大した図55に示すようにCuコア53+Niめっき54+Auめっき55の構成のリード11では、図示するように屈曲部の曲率半径が小さくなるとクラック51を生じやすく、一方図56に示すようにリード11の表面をNiめっき54なしに、たとえばAuめっき55のみとすれば、図55の場合と同じ曲率のときでもリード11の屈曲部にクラック51は発生しにくくなる。

【0160】また、図54のB部を拡大して示す図57のリード11の圧着部においても、Cuコア53+Niめっき54+Auめっき55の構成のリード11では、図示するようにボンディングパッド7の周辺にダメージ52を生じやすく、一方図58に示すようにリード11の表面をNiめっき54なしに、たとえばAuめっき55のみとすれば、同じリードボンディング条件で接合した場合でもダメージ52は発生しにくくなる。

【0161】以上により、リード11の構成をCuコア53などの芯材にAuめっき55などのめっき層のみを形成することで、リード11へのクラック51の発生を抑えるとともに、半導体チップ1へのダメージ52を軽減することが可能となる。

【0162】従って、本実施の形態1の半導体集積回路装置によれば、半導体チップ1とほぼ同一サイズのCSPパッケージ技術において、前記において本発明者が検討したパッケージ構造との比較により順に説明したように、1. 表配線構造、2. エラストマに対するテープのひさし最適化、3. パッケージの外形寸法最適化、4. 平面S字リード、5. ビームリード、6. ボンディングパッドの周辺PIQ寸法、7. アンカー配線の改善、8. ワイドエラストマ構造、9. エラストマの溝埋め技術、10. インナーリードボンディング技術、11. ツールリターンなしでのS字形成可能なリード設計技術、12. Niめっきレスリード、のそれぞれの技術項目において優れた効果を得ることができる。

【0163】なお、本実施の形態1では、1. 表配線構造を前提として図面およびその技術内容を説明したが、2～12までの技術項目については、表配線構造に限定されるものではなく、前記図7に示すような裏配線構造などの一般的なパッケージ構造についても適用可能な技術であり、従って一般的なパッケージ構造に適用しても前記項目毎に説明したような同様の効果を得ることが期待できる。

【0164】また、本実施の形態1のパッケージ構造(図1、図2)においては、エラストマ2が半導体チップ1の外形よりも大きい場合について示したが、逆に図81に示すようにエラストマ2が半導体チップ1の外形よりも小さい場合には、半導体チップ1、エラストマ2の側面部分を封止材6により覆ったパッケージ構造に形成することで、耐湿性などの向上を可能とすることができる。

【0165】(実施の形態2) 図59および図60は本発明の実施の形態2である半導体集積回路装置において、裏配線ソルダレジスト構造を示す断面図および斜視図である。

【0166】本実施の形態2の半導体集積回路装置は、前記実施の形態1と同様にボールグリッドアレイ形式の半導体パッケージとされ、前記実施の形態1との相違点は、表配線構造を前提とした技術ではなく、裏配線構造を前提としてそれを改善するための技術であり、たとえば図59、図60に示すように、半導体チップ1の主面上に接着されるエラストマ2(弾性構造体)と、エラストマ2の主面上に接着されるフレキシブル配線基板3(配線基板)との構造において、フレキシブル配線基板3の裏面上にソルダレジスト56(絶縁膜)が形成されている。

【0167】すなわち、フレキシブル配線基板3は、このフレキシブル配線基板3の基材となるテープ9(基板基材)と、このテープ9の裏面上に接着される配線10とから構成され、配線10の裏面側がソルダレジスト56を介してエラストマ2に接着された構造となっている。このソルダレジスト56は、たとえば前記実施の形態1と同様に感光性エポキシ樹脂などによる絶縁材料から構成されている。

【0168】ここで、本実施の形態2の半導体集積回路装置のパッケージ構造の特徴を、本発明者が検討した技術としてのパッケージ構造との比較により構造およびプロセスなどを含めて説明する。

【0169】たとえば、本発明者が検討した技術として、前記実施の形態1において図7に示すような裏配線構造では、フレキシブル配線基板3の配線10の主面上に直接エラストマ2が形成されるため、エラストマ2の低分子量成分などが直接リード11にブリードし、リード11のボンディング点までにじんだ場合には、その汚染により極端にボンディング性(配線接合強度)が低下

THIS PAGE BLANK (USPTO)

するなどの問題が生じる。

【0170】さらに、直接のリード11のめっき面に比較して、リード11の間で配線10がエッチアウトされたテープ9の面は、このテープ9と配線10との間の接着性を向上する意味もありテープ9の面が粗面化されているためにブリードが非常に激しく、表面張力の効果も加わってリード11のエッジ部で最もブリードが激しい傾向にある。

【0171】また、配線10がある部分とない部分による配線10の凹凸がある面にエラストマ2を形成する裏配線構造においては、配線10と配線10の隙間などにボイドが残りやすく、信頼性上懸念されるということも考えられる。

【0172】これに対して、本実施の形態2においては、フレキシブル配線基板3の製作工程において、配線10の形成後に配線10上にソルダレジスト56を形成することで、直接エラストマ2が配線10に接することを防止できる。同じく、テープ9の粗面化へのエラストマ2の接触も防止できる。これにより、エラストマ2の低分子量成分のブリードを抑えることができる。

【0173】さらに、フレキシブル配線基板3の凹凸がある配線10の面にソルダレジスト56を塗ることで、配線10の表面が平坦化され、エラストマ2を形成する時のボイドの巻き込みなどの不具合も回避することができる。

【0174】従って、本実施の形態2の半導体集積回路装置によれば、裏配線構造を前提としたCSPの半導体パッケージ技術において、フレキシブル配線基板3の配線10上にソルダレジスト56を形成することで、リード11の汚染を防止してボンディング性の低下を抑制し、さらにボイドのない信頼性の高いパッケージ構造を得ることができる。

【0175】（実施の形態3）図61は本発明の実施の形態3である半導体集積回路装置を半導体チップ裏面から見た平面図、図62は平面図、図63は断面図、図64は図63のA部を示す拡大断面図、図65は配線基板の配線構造を説明するための平面図である。

【0176】本実施の形態3の半導体集積回路装置は、前記実施の形態1および2のような、いわゆるファンイン-センタパッド構造の半導体パッケージに代えて、図61～図65に示すように周辺パッド構造の半導体チップ1aを用い、さらにこの半導体チップ1aのボンディングパッドに接続されるはんだバンプ5aが半導体チップ1aの外周より内側の領域に配置される、いわゆるファンイン-周辺パッドのパッケージ構造となっている。なお、本実施の形態3においても、前記実施の形態1において説明した1. 表配線構造から12. Niめっきレスリードまでの技術、さらに実施の形態2で説明した裏配線ソルダレジスト構造のそれぞれの技術項目の特徴が取り入れられた構造となっている。

【0177】すなわち、本実施の形態3の半導体集積回路装置は、たとえば24ピンのボールグリッドアレイ形式の半導体パッケージとされ、複数のボンディングパッド7a（外部端子）が形成された半導体チップ1aの主面上に、エラストマ2a（弾性構造体）、テープ9a上に配線10aが形成されたフレキシブル配線基板3a（配線基板）、ソルダレジスト4a（絶縁膜）が設けられ、このソルダレジスト4aの開孔部にはんだバンプ5a（バンプ電極）が形成され、ボンディングパッド7aの形成部分、エラストマ2aおよびフレキシブル配線基板3aの側面部分が封止材6aにより覆われたパッケージ構造となっている。

【0178】半導体チップ1aは、たとえば図65に示すように周辺パッド構造とされ、半導体チップ1aの外周部に沿って複数のボンディングパッド7aが四角形状に並べられて形成されている。この半導体チップ1aのボンディングパッド7aに、一端のリード11aが接続されるフレキシブル配線基板3aの配線10aを介して、この配線10aの他端のバンプランド12aに接合されるはんだバンプ5aが電氣的に接続されている。このはんだバンプ5aは半導体チップ1aのボンディングパッド7aの配列位置より内側の領域に6行×4列で並べられて設けられている。

【0179】従って、本実施の形態3の半導体集積回路装置においても、ファンイン-周辺パッドの半導体パッケージ構造としての違いはあるものの、前記実施の形態1および2で説明したようなそれぞれの技術項目において同様の優れた効果を得ることができる。特に、このファンインのパッケージ構造においては、前記実施の形態1および2と同様に半導体チップ1aとほぼ同一サイズのCSPの半導体パッケージとすることができる。

【0180】（実施の形態4）図66は本発明の実施の形態4である半導体集積回路装置を半導体チップ裏面から見た平面図、図67は平面図、図68は断面図、図69は図68のA部を示す拡大断面図、図70は配線基板の配線構造を説明するための平面図である。

【0181】本実施の形態4の半導体集積回路装置は、前記実施の形態1および2のような、いわゆるファンイン-センタパッド構造の半導体パッケージに代えて、図66～図70に示すように周辺パッド構造の半導体チップ1bを用い、さらにこの半導体チップ1bのボンディングパッドに接続されるはんだバンプ5bが半導体チップ1bの外周より外側の領域に配置される、いわゆるファンアウト-周辺パッドのパッケージ構造となっている。なお、本実施の形態4においても、前記実施の形態1において説明した1. 表配線構造から12. Niめっきレスリードまでの技術、さらに実施の形態2で説明した裏配線ソルダレジスト構造のそれぞれの技術項目の特徴が取り入れられた構造となっている。

【0182】すなわち、本実施の形態4の半導体集積回

THIS PAGE BLANK (USPTO)

路装置は、たとえば80ピンのボールグリッドアレイ形式の半導体パッケージとされ、複数のボンディングパッド7b(外部端子)が形成された半導体チップ1bの主面上に、エラストマ2b(弾性構造体)、テープ9b上に配線10bが形成されたフレキシブル配線基板3b(配線基板)、ソルダレジスト4b(絶縁膜)が設けられ、このソルダレジスト4bの開口部にはんだバンプ5b(バンプ電極)が形成され、ボンディングパッド7bの形成部分が封止材6bにより覆われ、半導体チップ1bの側面部分にサポートリング57bが設けられたパッケージ構造となっている。

【0183】半導体チップ1bは、たとえば図70に示すように周辺パッド構造とされ、半導体チップ1bの外周部に沿って複数のボンディングパッド7bが四角形状に並べられて形成されている。この半導体チップ1bのボンディングパッド7bに、一端のリード11bが接続されるフレキシブル配線基板3bの配線10bを介して、この配線10bの他端のバンプランド12bに接合されるはんだバンプ5bが電氣的に接続されている。このはんだバンプ5bは半導体チップ1bのボンディングパッド7bの配列位置より外側の領域に四角形状で二列に並べられて設けられている。

【0184】従って、本実施の形態4の半導体集積回路装置においても、ファンアウトー周辺パッドの半導体パッケージ構造としての違いはあるものの、前記実施の形態1および2で説明したようなそれぞれの技術項目において同様の優れた効果を得ることができる。特に、このファンアウトのパッケージ構造においては、前記実施の形態1および2に比べて半導体パッケージのサイズは大きくなるものの、多ピン化に対応したパッケージ構造とすることができる。

【0185】(実施の形態5)図71は本発明の実施の形態5である半導体集積回路装置を半導体チップ裏面から見た平面図、図72は平面図、図73は断面図、図74は図73のA部を示す拡大断面図、図75は配線基板の配線構造を説明するための平面図である。なお、図75は配線の引き回しを明確にするために、ボンディングパッド、はんだバンプの数などを一部省略し簡略化して示している。

【0186】本実施の形態5の半導体集積回路装置は、前記実施の形態1および2のような、いわゆるファンインーセンターパッド構造の半導体パッケージに代えて、図71～図75に示すように周辺パッド構造の半導体チップ1cを用い、さらにこの半導体チップ1cのボンディングパッドに接続されるはんだバンプ5cが半導体チップ1cの外周より内側と外側の両方の領域に配置される、いわゆるファンイン／アウトー周辺パッドのパッケージ構造となっている。なお、本実施の形態5においても、前記実施の形態1において説明した1.表配線構造から12.Niめっきレスリードまでの技術、さらに実

施の形態2で説明した裏配線ソルダレジスト構造のそれぞれの技術項目の特徴が取り入れられた構造となっている。

【0187】すなわち、本実施の形態5の半導体集積回路装置は、たとえば110ピンのボールグリッドアレイ形式の半導体パッケージとされ、複数のボンディングパッド7c(外部端子)が形成された半導体チップ1cの主面上に、エラストマ2c(弾性構造体)、テープ9c上に配線10cが形成されたフレキシブル配線基板3c(配線基板)、ソルダレジスト4c(絶縁膜)が設けられ、このソルダレジスト4cの開口部にはんだバンプ5c(バンプ電極)が形成され、ボンディングパッド7cの形成部分が封止材6cにより覆われ、半導体チップ1cの側面部分にサポートリング57cが設けられたパッケージ構造となっている。

【0188】半導体チップ1cは、たとえば図75(実際の配置は図72)に示すように周辺パッド構造とされ、半導体チップ1cの外周部に沿って複数のボンディングパッド7cが四角形状に並べられて形成されている。この半導体チップ1cのボンディングパッド7cに、一端のリード11cが接続されるフレキシブル配線基板3cの配線10cを介して、この配線10cの他端のバンプランド12cに接合されるはんだバンプ5cが電氣的に接続されている。このはんだバンプ5cは半導体チップ1cのボンディングパッド7cの配列位置より内側の領域に6行×5列で並べられ、かつ外側の領域に四角形状で二列に並べられて設けられている。

【0189】従って、本実施の形態5の半導体集積回路装置においても、ファンイン／アウトー周辺パッドの半導体パッケージ構造としての違いはあるものの、前記実施の形態1および2で説明したようなそれぞれの技術項目において同様の優れた効果を得ることができる。特に、このファンイン／アウトのパッケージ構造においては、前記実施の形態1および2に比べて半導体パッケージのサイズは大きくなるものの、多ピン化に対応したパッケージ構造とすることができる。

【0190】以上、本発明者によってなされた発明を発明の実施の形態1～5に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0191】たとえば、前記実施の形態においては、いわゆるセンタパッドーファンイン、周辺パッドーファンイン、周辺パッドーファンアウト、周辺パッドーファンイン／アウト構造のそれぞれの半導体パッケージについて説明したが、センタパッドーファンアウトまたはセンタパッドーファンイン／アウト構造の半導体パッケージについても適用可能である。

【0192】また、半導体パッケージの外部接続端子としてのはんだバンプ、このはんだバンプに電氣的に接続

THIS PAGE BLANK (USPTO)

される半導体チップの外部端子であるボンディングパッドの数については、前記実施の形態で説明したものに限られるのではなく、半導体チップ上に形成される集積回路などのパッケージ仕様に応じて適宜変更可能である。

【0193】さらに、弾性構造体としてのエラストマ、配線基板としてのフレキシブル配線基板のテープ、配線およびリードのめっき、絶縁膜としてのソルダレジスト、パンプ電極としてはんだパンプなどの材料についても、それぞれの特性を備えている他の材料を用いる場合などについても適用可能であることはいうまでもない。

【0194】たとえば、ソルダレジストとしては、メラミン、アクリル、ポリスチロール、ポリイミドのほか、ポリウレタン、シリコンなどの材料を挙げられ、はんだ付け温度に耐え、同時にフラックスと洗浄溶剤にさらされることに耐える性質を持っていることが必要となる。

【0195】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0196】(1) 配線基板の基板基材の裏面側に弾性構造体を配置し、かつ基板基材の主面上に形成された配線の主面上に絶縁膜を形成する表配線構造を採用することで、基板基材裏面の平坦な面に弾性構造体を配置するので、弾性構造体をより高精度に安定してボイドレスで基板基材に搭載することができ、さらに弾性構造体の寸法形状が安定するので、半導体チップの接着工程も安定し、歩留まりの高い組み立てを行うことが可能となる。

【0197】(2) 配線基板の配線を複数の配線層構造とすることで、信号配線層と電源・グランド配線層とを異なる層に分離することができるので、耐ノイズ性などの面で優れた電気特性を得ることが可能となる。

【0198】(3) 半導体チップの外部端子を中央部または周辺部に配置し、かつこの外部端子に接続されるパンプ電極を半導体チップの外周より内側、外側またはその両方の領域に配置することができるので、種々のタイプ、バリエーションのパッケージ構造に適用することが可能となる。

【0199】(4) 半導体チップの外部端子側における弾性構造体の端部と配線基板の基板基材の端部との寸法を弾性構造体の成分に基づいて設定することで、弾性構造体に対する基板基材のひさしを最適化することができるので、パンプ電極の高さばらつきを悪化させたり、弾性構造体の開口部封止領域が広くなることによる封止材が埋めにくくなることなく、弾性構造体のブリード成分や揮発成分による配線の汚染を防止することが可能となる。

【0200】(5) 半導体集積回路装置の外周部側におけ

る配線基板の基板基材の端部と弾性構造体の端部との距離 $M2$ 、半導体チップの端部と基板基材の端部との距離 $M1$ の関係を $M1 > M2 > 0$ の範囲で設定することで、パッケージの外形寸法を最適化することができるので、パッケージ最外周が半導体チップになることがないので、組み立て工程、ソケット抜き差し、トレイ搬送途中などにチップクラックを誘発する可能性が小さくなり、半導体チップの回路面が外に出ることがないために信頼性を向上させることができ、さらに印刷後の弾性構造体の周辺突起が半導体チップの接着部にかかることがないので貼り付けの際の接着不良、配線基板の平坦度の悪化、信頼性の低下を防止することが可能となる。

【0201】(6) 配線基板の配線を基板基材との固定部分と半導体チップの外部端子に接続される先端部分とが少なくとも配線の幅以上変位された形状に形成することで、平面的にS字配線とすることができるので、一般のワイヤボンダでの単純な打ち下ろし軌跡によってもととの平面S字形状によるところのたるみができるので安定した好適なS字形状リードを形成することができ、ソフト改造した特殊なワイヤボンダを必要とせず、安定したリードのS字形状が形成でき、さらにボンディングツールの軌跡も単純化できるためにボンディング時のタクトタイムの短縮も可能となる。

【0202】(7) 配線基板の配線を基板基材に一方が固定された片持ち梁構造に形成することで、ビーム配線とすることができるので、ノッチ入りの配線のようにノッチの太さが変化してボンディング時に切断できない、切断できたとしても所望のノッチと異なる部分で切れる、あるいは細くなりすぎて配線基板のめっき工程前に切れてしまつてめっきが着かないなどの問題を解決することが可能となる。

【0203】(8) 半導体チップ上の表面保護膜の開口部の端部をボンディングツールを打ち下ろしたときに配線が表面保護膜に干渉しない範囲の寸法に設定することで、打ち下ろしで半導体チップ上の表面保護膜または半導体チップにダメージを受けたり、リード下面のボンディング部に表面保護膜の成分が付着して汚染し、ボンディング性を悪化させるなどの問題を解決することが可能となる。

【0204】(9) 配線基板の配線のノッチ終端側における配線を対向する配線のランド部につなげたり、配線の空き領域に縦方向または横方向に延長したり、または隣接する配線同士を連結することで、配線部分の有効面積を大きくすることができるので、配線と基板基材間の接着強度を増し、安定したノッチ切断性を得ることが可能となる。

【0205】(10) 弾性構造体を半導体チップの外形寸法に比べて少なくとも弾性構造体に形成される外周部突起幅分以上で全周に渡って大きい範囲で形成することで、ワイド弾性構造体構造とすることができるので、半

THIS PAGE BLANK (USPTO)

導体チップの貼り付け後は弾性構造体周辺の突起が半導体チップの外に出て実質的に弾性構造体の平坦な部分に接着されるために配線基板の反りが小さく抑えられ、さらに接着材の塗布エリアが広くとれるために接着材が行き渡らず不接着になる部分が発生しにくく、半導体チップの周囲にまんべんなくにじみ出すので周辺封止をしなくても耐湿性や信頼性に優れたパッケージを構成することが可能となる。

【0206】(11). 弾性構造体を半導体チップの外部端子上に接着しないように分割して形成する場合に、この分割された弾性構造体の対向する空間のそれぞれの端部を溝状に形成することで、弾性構造体の溝埋め技術においてメタルマスク吊り部を細くして弾性構造体の溝を細くすることができるので、弾性構造体の溝埋め性を向上させることが可能となる。

【0207】(12). 弾性構造体のそれぞれの端部に形成される溝を複数本で形成することで、この溝を形成するメタルマスクの強度を上げることが可能となる。

【0208】(13). 分割された弾性構造体の対向する空間のそれぞれの端部の溝に予め封止材流れ止め用のダムを形成することで、封止工程における溝埋め性をさらに向上させることが可能となる。

【0209】(14). 予め半導体チップの外部端子にスタッドバンプを形成し、このスタッドバンプを介して半導体チップの外部端子と配線基板の配線とを接続することで、インナーリードのボンディング技術において接合性やダメージなどの問題を解決し、スタッドバンプにより接合性を向上させ、さらにダメージを防ぐことが可能となる。

【0210】(15). 予め配線基板の配線を包み込むようにはんだを供給し、このはんだを介して半導体チップの外部端子と半導体チップの外部端子とを接続することで、ボンディング技術における接合性の向上およびダメージの抑制が可能となる。

【0211】(16). 配線基板の配線を上部から包み込むようなはんだ、Auなどのスタッドバンプを用い、このスタッドバンプを介して配線基板の配線と半導体チップの外部端子とを接続することで、ボンディング技術における接合性の向上およびダメージの抑制が可能となる。

【0212】(17). Al、はんだまたはAuワイヤを用いて配線基板の配線と半導体チップの外部端子とを接続することで、接合性やダメージなどの問題を解決し、TABのようなインナーリードボンディングではなく、一般のワイヤボンディングの概念での接続を実現することが可能となる。

【0213】(18). 配線基板の配線の幅寸法を配線基板の基板基材の端部から配線先端に向けてしだいに細くし、所定の位置から一定の幅寸法となるように形成して、曲げ応力比 α を1.2~1.5となるように配線の寸法および形状を設定することで、ボンディングツールのリ

ターンなしで、ボンディングツールを垂直に打ち下ろすだけで好適なS字形状が形成できるので、ソフト改造した特殊なワイヤボンダを必要とせず、安定したリードのS字形状が形成でき、さらにボンディングツールの軌跡も単純化できるためにボンディング時のタクトタイムの短縮も可能となる。

【0214】(19). 配線基板の配線構造を導電材料を芯材として表面にAuめっきのみを施すことで、たとえばCuなどの導電材料の芯材とAuめっきとの間にNiめっきを施すような場合に比べてリードの硬度、脆さともに低くなるのでリード自体のクラックが起こりにくくなるほか、対ボンディング面である半導体チップへのダメージも軽減することが可能となる。

【0215】(20). 配線基板の基板基材の裏面上に配線を形成し、かつこの配線の裏面上に絶縁膜を形成して、絶縁膜の裏面側に弾性構造体を配置することで、裏配線絶縁膜構造とすることができるので、直接、弾性構造体が配線に接することを防止でき、かつ基板基材の粗面化への弾性構造体の接触も防止できるので弾性構造体の低分子量成分のブリードを抑えることができ、さらに凹凸がある配線面に絶縁膜を塗ることで表面が平坦化され、弾性構造体形成時のボイドの巻き込みなどの不具合を回避することが可能となる。

【0216】(21). 表配線構造において、絶縁膜の開口部を絶縁膜材料の塗布範囲を規定することによって形成することで、裏配線構造の配線基板の基板基材に機械加工によって開口部を開ける場合に比べて、より一層、穴径加工精度の向上が可能となる。

【0217】(22). 表配線構造において、絶縁膜の厚さを絶縁膜材料の塗布条件を規定することによって設定することで、基板基材に比べて、より一層、薄い厚さで安定して塗布し、小さい径で高密度に配置されるバンプランドの形成をすることができるので、より小さいバンプ電極を良好に接合することが可能となる。

【0218】(23). 表配線構造は裏配線構造に比較してバンプ電極の配列ピッチを小さくできるので、より高密度な出力端子を有する半導体パッケージを構成することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体集積回路装置を示す平面図である。

【図2】本発明の実施の形態1において、図1のA-A'切断線における断面図である。

【図3】本発明の実施の形態1における半導体集積回路装置の実装基板への実装状態を示す平面図である。

【図4】本発明の実施の形態1における半導体集積回路装置の実装基板への実装状態を示す断面図である。

【図5】本発明の実施の形態1における半導体集積回路装置の組み立て工程を示すフロー図である。

【図6】本発明の実施の形態1における半導体集積回路

装置と本発明者が検討した半導体集積回路装置との比較説明において、表配線構造を示す要部断面図である。

【図 7】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、裏配線構造を示す要部断面図である。

【図 8】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、両面配線を示す要部断面図である。

【図 9】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ウィンドウ開口部を示す平面図である。

【図 10】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、図 9 のウィンドウ開口部を示す断面図である。

【図 11】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ウィンドウ開口部および半導体チップのエッジ部の寸法説明のための断面図である。

【図 12】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、印刷後のエラストマの凹みを示す断面図である。

【図 13】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、半導体チップ貼り付け後のテープの反りを示す断面図である。

【図 14】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、平面 S 字リードを示す平面図である。

【図 15】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、図 14 の B 矢視断面図である。

【図 16】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、図 14 の A 矢視断面図である。

【図 17】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準 S 字リード形成時のボンディングツールの軌跡を示す断面図である。

【図 18】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、平面 S 字リード形成時のボンディングツールの軌跡を示す断面図である。

【図 19】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ノッチリードおよびビームリードを説明するための平面図である。

【図 20】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比

較説明において、図 19 の A 部におけるノッチリードを示す平面図である。

【図 21】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ビームリードを示す平面図である。

【図 22】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リードボンディング部を示す断面図である。

【図 23】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リードボンディング部を示す平面図である。

【図 24】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、図 22 の A 部におけるツールの着地点を拡大して示す断面図である。

【図 25】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、パッシベーション開口寸法を改良したボンディング部を示す断面図である。

【図 26】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、双方向リードのボンディング部を示す平面図である。

【図 27】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準アンカー配線を示す平面図である。

【図 28】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、改善アンカー配線を示す平面図である。

【図 29】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準エラストマの構造を示す斜視図である。

【図 30】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準エラストマでの半導体チップの貼り付け状態を示す斜視図である。

【図 31】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマの構造を示す斜視図である。

【図 32】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマでの半導体チップの貼り付け状態を示す斜視図である。

【図 33】本発明の実施の形態 1 における半導体集積回

THIS PAGE BLANK (USPTO)

路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマでの半導体チップの貼り付け状態を示す断面図である。

【図 3 4】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準エラストマでの半導体チップの貼り付け後の構造を示す斜視図である。

【図 3 5】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準エラストマでの半導体チップの貼り付け後の構造を示す断面図である。

【図 3 6】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマでの半導体チップの貼り付け後の構造を示す斜視図である。

【図 3 7】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマでの半導体チップの貼り付け後の構造を示す断面図である。

【図 3 8】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、メタルマスク印刷の概念を示す断面図である。

【図 3 9】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準エラストマのメタルマスクを示す平面図である。

【図 4 0】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマのメタルマスクを示す平面図である。

【図 4 1】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、複数本吊りのワイドエラストマの印刷形状を示す平面図である。

【図 4 2】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ワイドエラストマの溝埋めのためのポッティング位置を示す平面図である。

【図 4 3】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、標準リードボンディングによるボンディング部を示す断面図である。

【図 4 4】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、スタッドバンプを用いたボンディング部を示す断面図である。

【図 4 5】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、はんだを用いたリード接続を示す断面

図である。

【図 4 6】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、はんだを用いたリード接続を示す平面図である。

【図 4 7】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、はんだまたは Au ボールを用いたリード接続を示す断面図である。

【図 4 8】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、はんだまたは Au ボールを用いたリード接続を示す斜視図である。

【図 4 9】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、Al またははんだワイヤを用いた接続を示す断面図である。

【図 5 0】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、Au ワイヤを用いた接続を示す断面図である。

【図 5 1】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リード設計を説明するための斜視図である。

【図 5 2】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、ボンディング後のリード変形を示す斜視図である。

【図 5 3】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リード寸法と曲げ応力比との関係を示す説明図である。

【図 5 4】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リード接続の接続部を示す断面図である。

【図 5 5】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リードの屈曲部を示す拡大断面図である。

【図 5 6】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、Ni めっきレスリードの屈曲部を示す拡大断面図である。

【図 5 7】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、リードの圧着部を示す拡大断面図である。

【図 5 8】本発明の実施の形態 1 における半導体集積回

THIS PAGE BLANK (USPTO)

路装置と本発明者が検討した半導体集積回路装置との比較説明において、Niめっきレスリードの圧着部を示す拡大断面図である。

【図 5 9】本発明の実施の形態 2 である半導体集積回路装置において、裏配線ソルダレジスト構造を示す断面図である。

【図 6 0】本発明の実施の形態 2 である半導体集積回路装置において、裏配線ソルダレジスト構造を示す斜視図である。

【図 6 1】本発明の実施の形態 3 である半導体集積回路装置を半導体チップ裏面から見た平面図である。

【図 6 2】本発明の実施の形態 3 である半導体集積回路装置を示す平面図である。

【図 6 3】本発明の実施の形態 3 である半導体集積回路装置を示す断面図である。

【図 6 4】本発明の実施の形態 3 における半導体集積回路装置において、図 6 3 の A 部を示す拡大断面図である。

【図 6 5】本発明の実施の形態 3 における半導体集積回路装置において、配線基板の配線構造を説明するための平面図である。

【図 6 6】本発明の実施の形態 4 である半導体集積回路装置を半導体チップ裏面から見た平面図である。

【図 6 7】本発明の実施の形態 4 である半導体集積回路装置を示す平面図である。

【図 6 8】本発明の実施の形態 4 である半導体集積回路装置を示す断面図である。

【図 6 9】本発明の実施の形態 4 における半導体集積回路装置において、図 6 8 の A 部を示す拡大断面図である。

【図 7 0】本発明の実施の形態 4 における半導体集積回路装置において、配線基板の配線構造を説明するための平面図である。

【図 7 1】本発明の実施の形態 5 である半導体集積回路装置を半導体チップ裏面から見た平面図である。

【図 7 2】本発明の実施の形態 5 である半導体集積回路装置を示す平面図である。

【図 7 3】本発明の実施の形態 5 である半導体集積回路装置を示す断面図である。

【図 7 4】本発明の実施の形態 5 における半導体集積回路装置において、図 7 3 の A 部を示す拡大断面図である。

【図 7 5】本発明の実施の形態 5 における半導体集積回路装置において、配線基板の配線構造を説明するための平面図である。

【図 7 6】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、曲げ応力比に応じたリード変形状を示す断面図である。

【図 7 7】本発明の実施の形態 1 における半導体集積回

路装置と本発明者が検討した半導体集積回路装置との比較説明において、曲げ応力比に応じたリード変形状を示す断面図である。

【図 7 8】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、曲げ応力比に応じたリード変形状を示す断面図である。

【図 7 9】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、曲げ応力比に応じたリード変形状を示す断面図である。

【図 8 0】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、曲げ応力比に応じたリード変形状を示す断面図である。

【図 8 1】本発明の実施の形態 1 における半導体集積回路装置と本発明者が検討した半導体集積回路装置との比較説明において、パッケージ構造の変形例を示す断面図である。

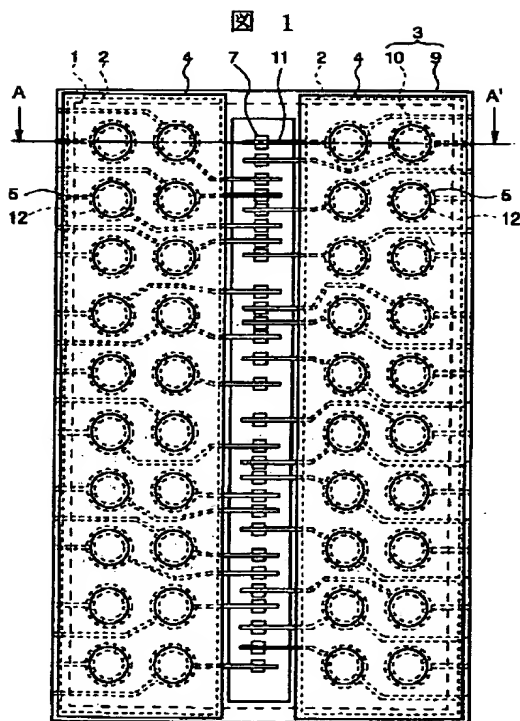
【符号の説明】

- 1, 1 a, 1 b, 1 c 半導体チップ
- 2, 2 a, 2 b, 2 c エラストマ (弾性構造体)
- 3, 3 a, 3 b, 3 c フレキシブル配線基板 (配線基板)
- 4, 4 a, 4 b, 4 c ソルダレジスト (絶縁膜)
- 5, 5 a, 5 b, 5 c はんだバンプ (バンプ電極)
- 6, 6 a, 6 b, 6 c 封止材
- 7, 7 a, 7 b, 7 c ボンディングパッド (外部端子)
- 8 接着材
- 9, 9 a, 9 b, 9 c テープ (基板基材)
- 10, 10 a, 10 b, 10 c 配線
- 11, 11 a, 11 b, 11 c リード
- 12, 12 a, 12 b, 12 c バンプランド
- 13 チップサイズパッケージ
- 14 一般パッケージ
- 15 実装基板
- 16 外部接続端子
- 17 はんだボール
- 18 ボンディングツール
- 19 ディスペンサ
- 20 第 1 配線
- 21 第 2 配線
- 22 ピアホール
- 23 ウィンドウ開口部
- 24 標準 S 字リード
- 25 ボンディングツール軌跡
- 26 平面 S 字リード
- 27 ノッチ
- 28 ビームリード

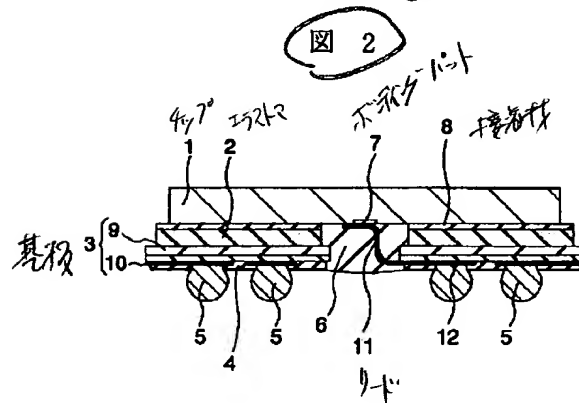
- 29 パッシベーション
- 30 パッシベーション開口部
- 31 標準アンカー配線
- 32 拡大アンカー配線
- 33 標準エラストマ
- 34 ワイドエラストマ
- 35 接着材しみ出し
- 36 切断ライン
- 37 メタルマスク
- 38 印刷エリア開口部
- 39 吊り部
- 40 溝
- 41 スキージ
- 42 ポッティング位置
- 43 スタッドパンプ

- 44 はんだ
- 45 はんだまたはAuボール
- 46 Alまたははんだワイヤ
- 47 Auワイヤ
- 48 テープ端
- 49 テープ側コーナー
- 50 チップ側コーナー
- 51 クラック
- 52 ダメージ
- 53 Cuコア
- 54 Niめっき
- 55 Auめっき
- 56 ソルダレジスト (絶縁膜)
- 57 b, 57 c サポートリング

【図1】

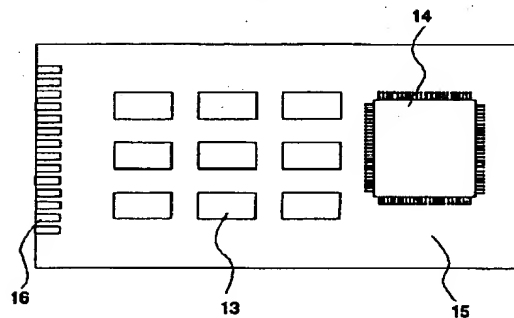


【図2】 (図1のA-A'断面)



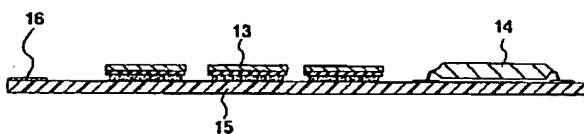
【図3】

図 3



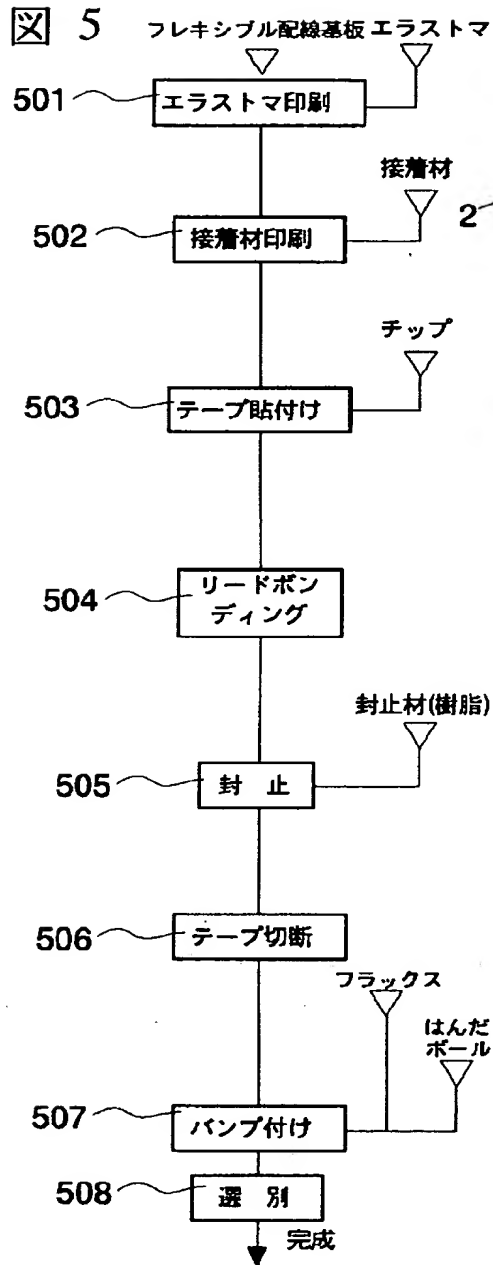
【図4】

図 4

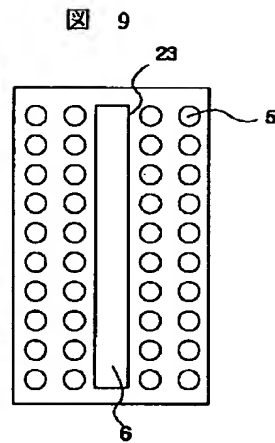


THIS PAGE BLANK (USPTO)

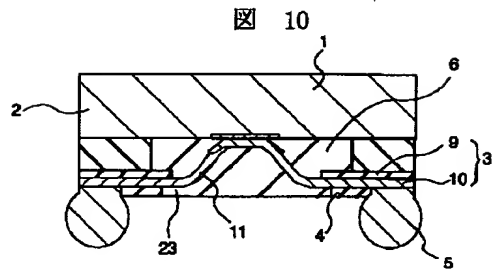
【図 5】



【図 9】

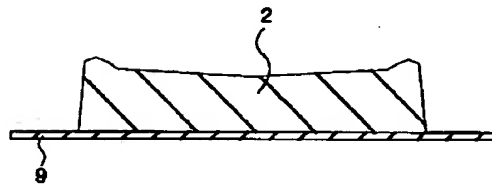


【図 10】



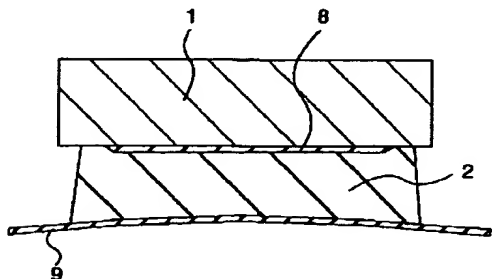
【図 12】

図 12



【図 13】

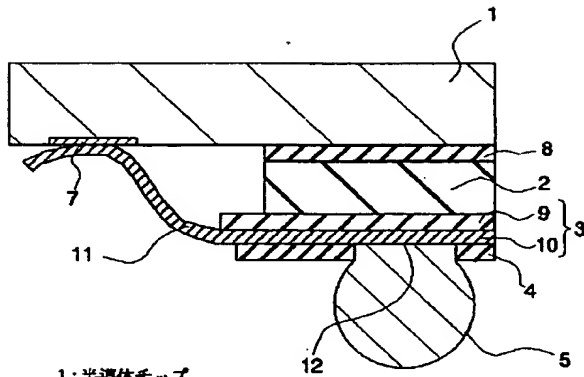
図 13



THIS PAGE BLANK (USPTO)

【図6】

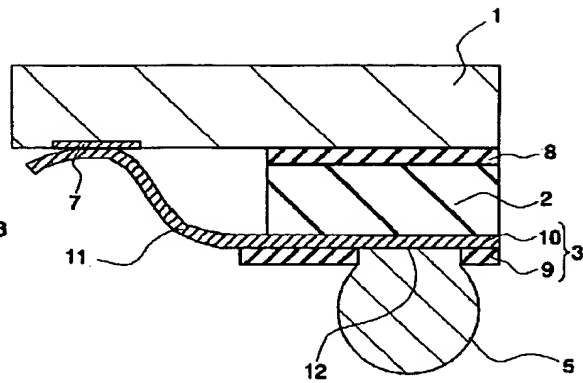
図 6



- 1: 半導体チップ
2: エラストマ(弾性構造物)
3: フレキシブル配線基板(配線基板)
4: ソルダレジスト(絶縁膜)
5: はんだバンプ(バンプ電極)
9: テープ(基板基材)
10: 配線

【図7】

図 7

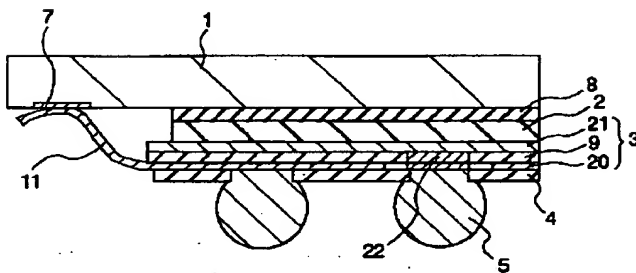


【図14】

図 14

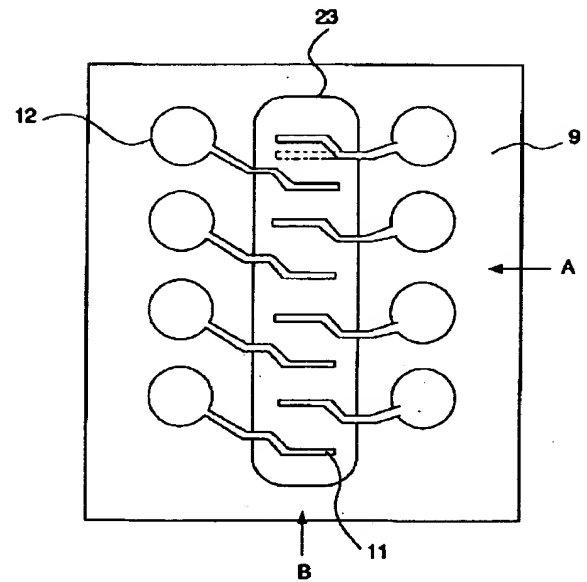
【図8】

図 8



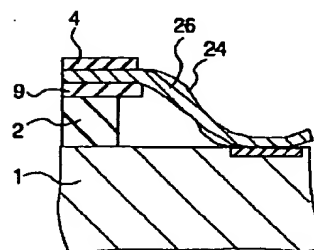
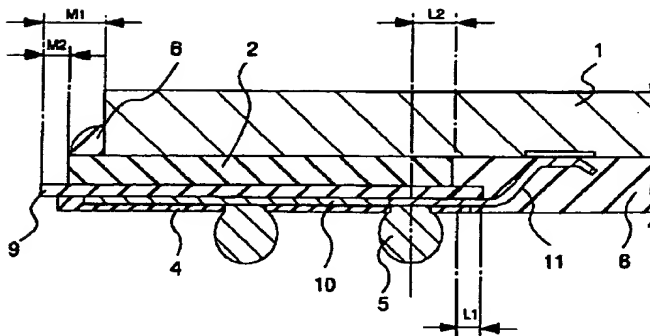
【図11】

図 11



【図15】

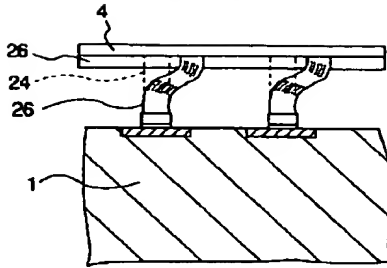
図 15



THIS PAGE BLANK (USPTO)

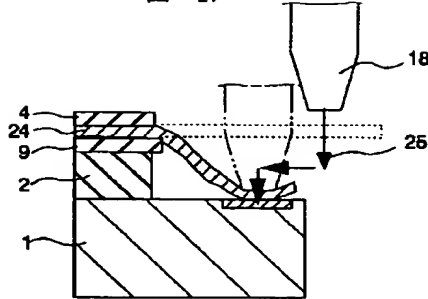
【図16】

図 16



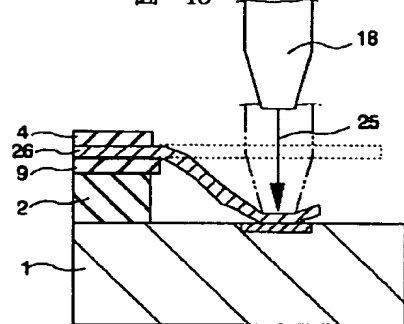
【図17】

図 17



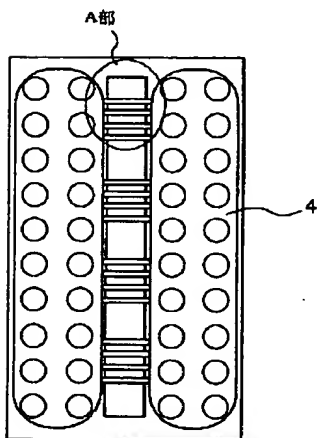
【図18】

図 18



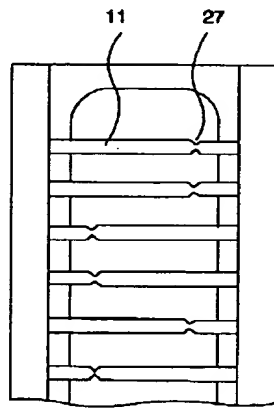
【図19】

図 19



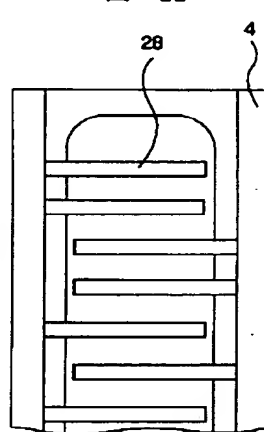
【図20】

図 20



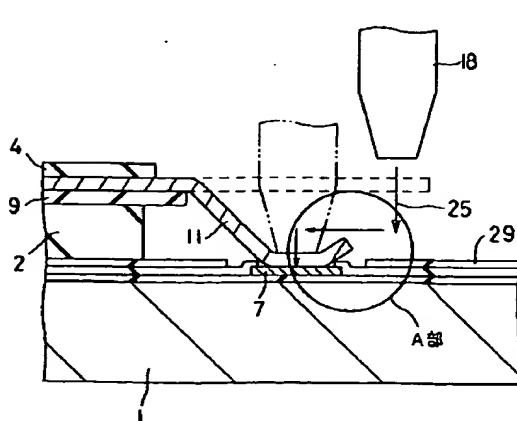
【図21】

図 21



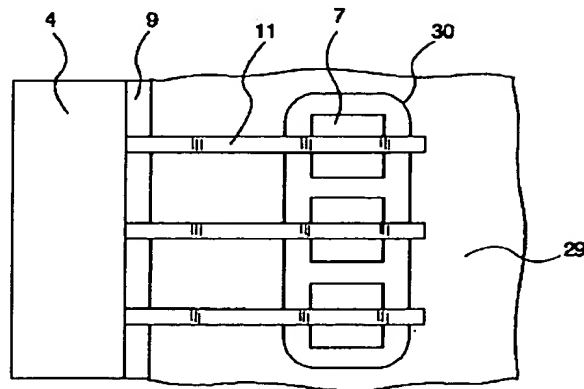
【図22】

図 22



【図23】

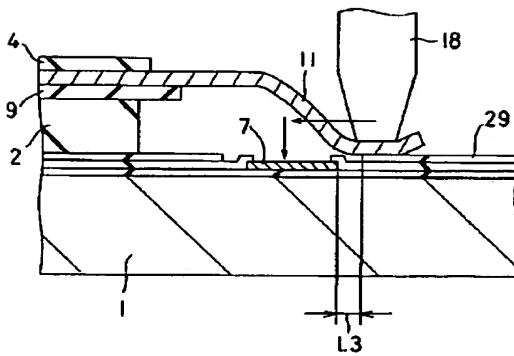
図 23



THIS PAGE BLANK (USPTO)

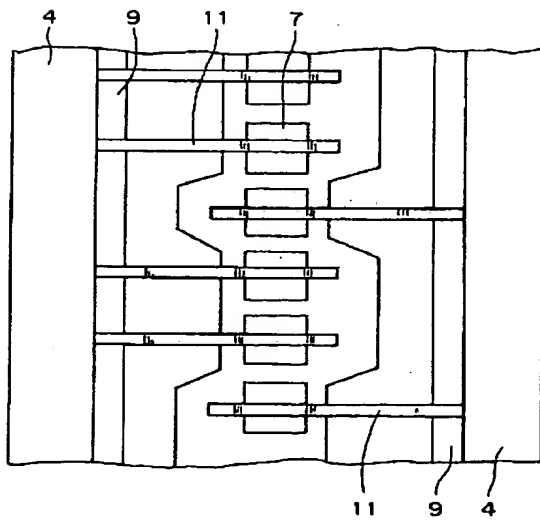
【図24】

図 24



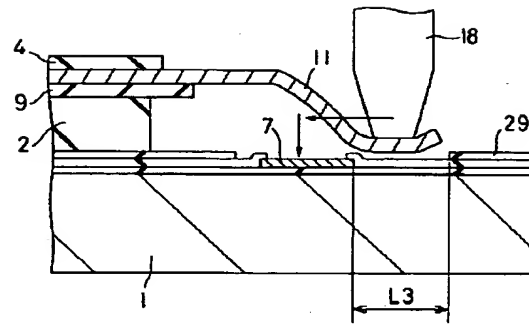
【図26】

図 26



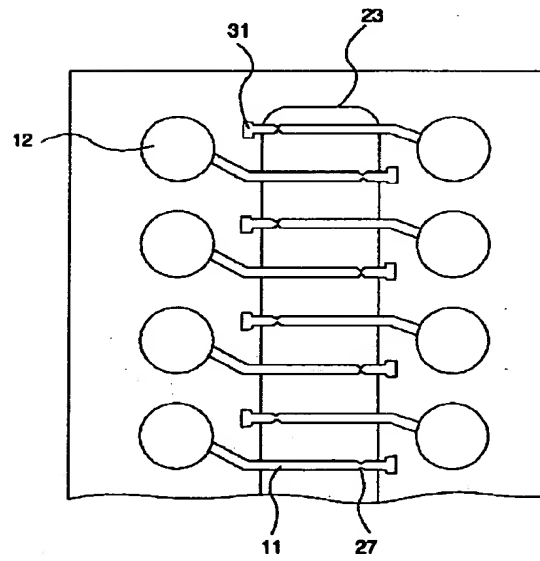
【図25】

図 25



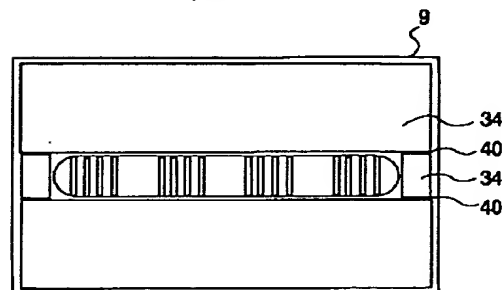
【図27】

図 27



【図41】

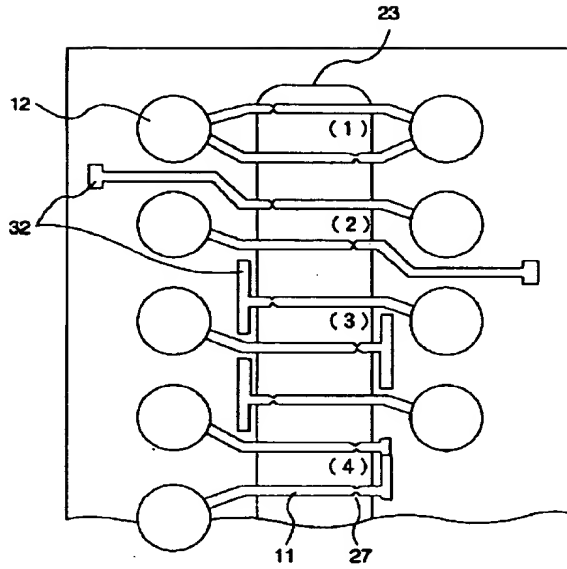
図 41



THIS PAGE BLANK (USPTO)

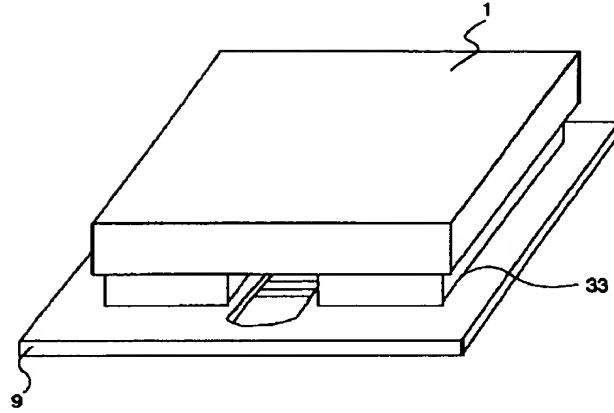
【図 28】

図 28



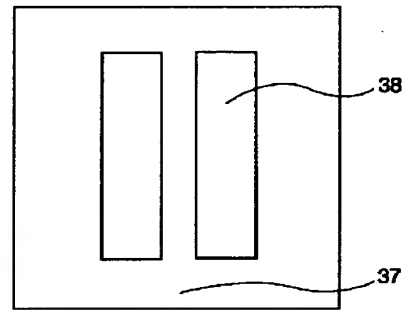
【図 30】

図 30



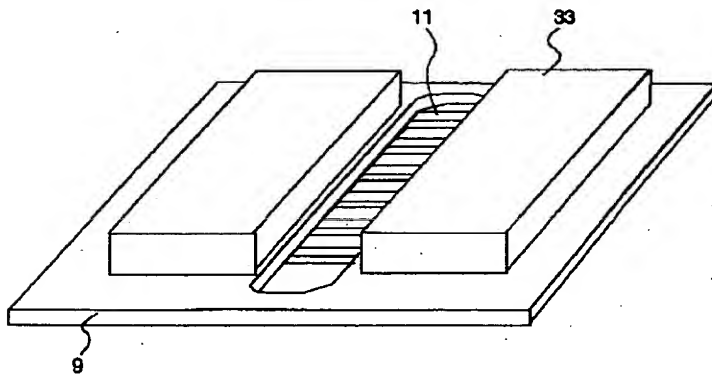
【図 39】

図 39



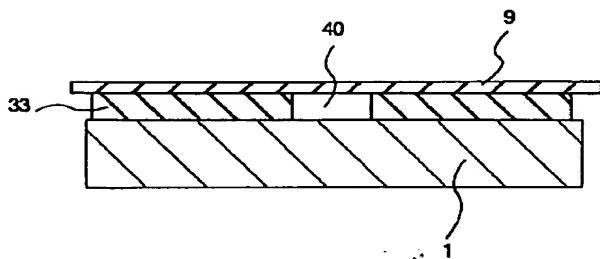
【図 29】

図 29



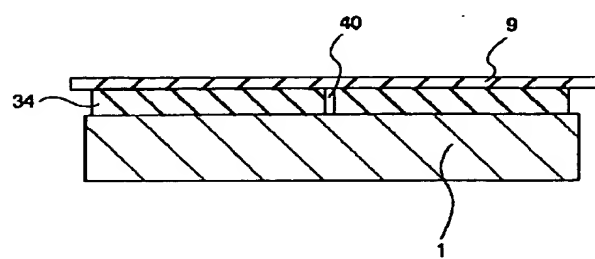
【図 35】

図 35



【図 37】

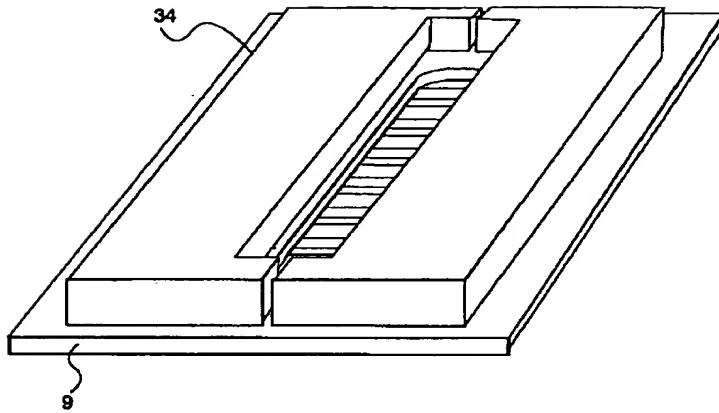
図 37



THIS PAGE BLANK (USPTO)

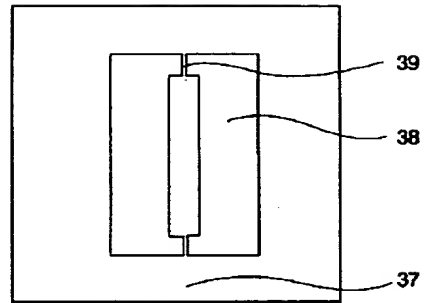
【図 31】

図 31



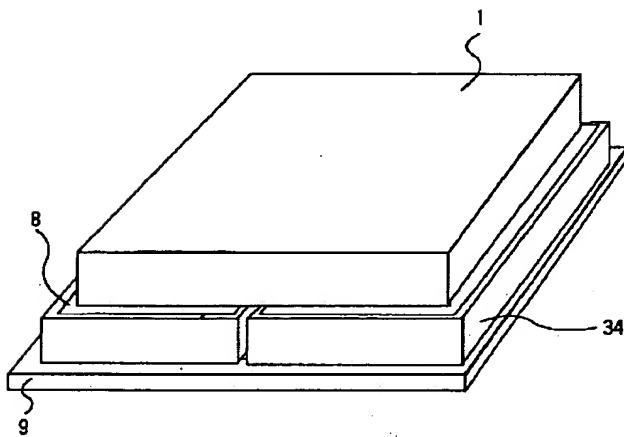
【図 40】

図 40



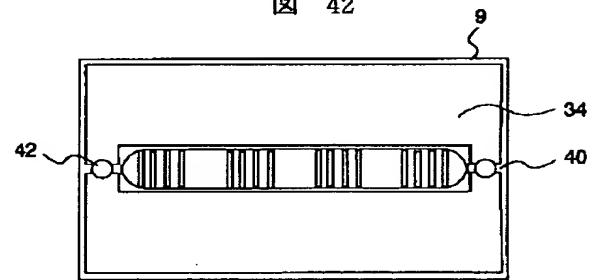
【図 32】

図 32



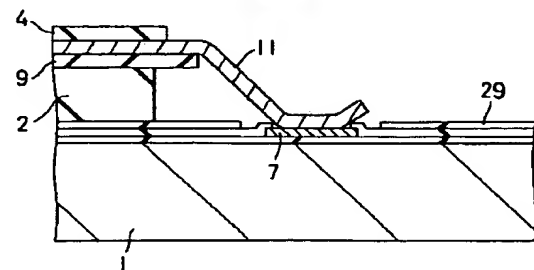
【図 42】

図 42



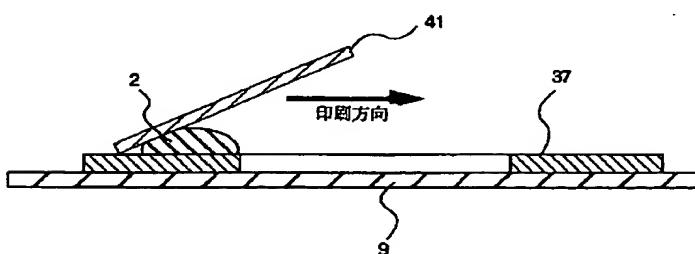
【図 43】

図 43



【図 38】

図 38

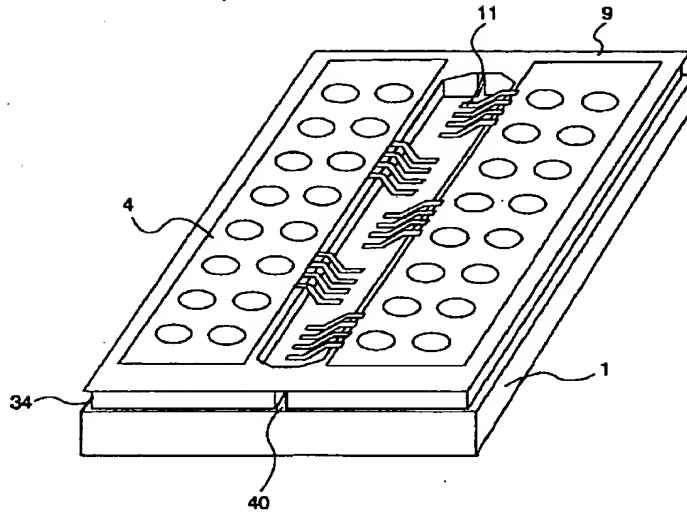


THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTC,

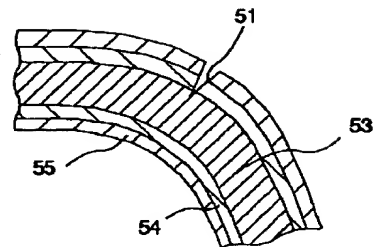
【図36】

図 36



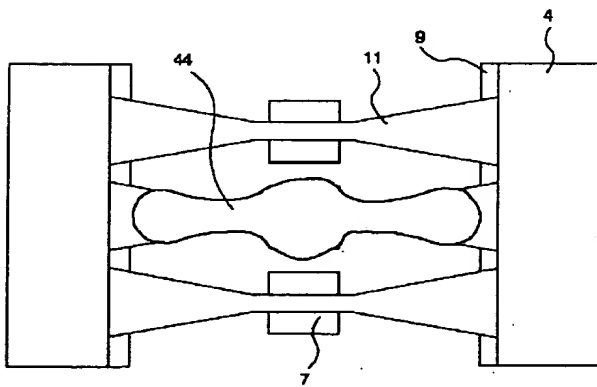
【図55】

図 55



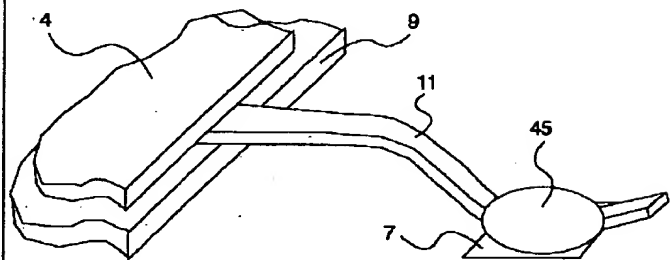
【図46】

図 46



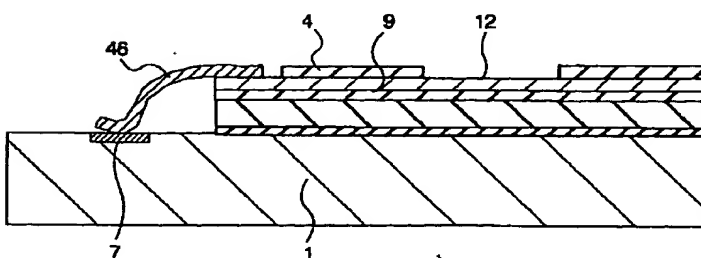
【図48】

図 48



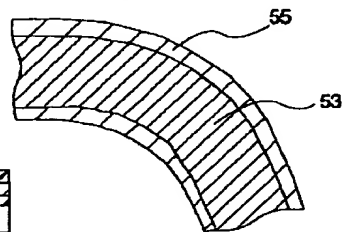
【図49】

図 49



【図56】

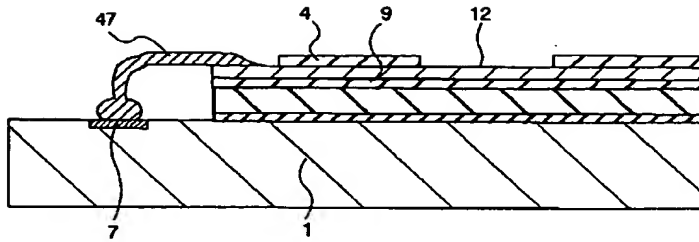
図 56



THIS PAGE BLANK (USPTO)

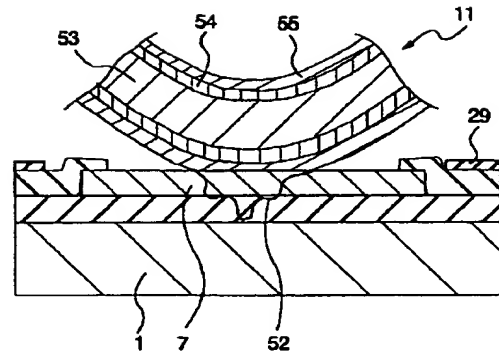
【図 50】

図 50



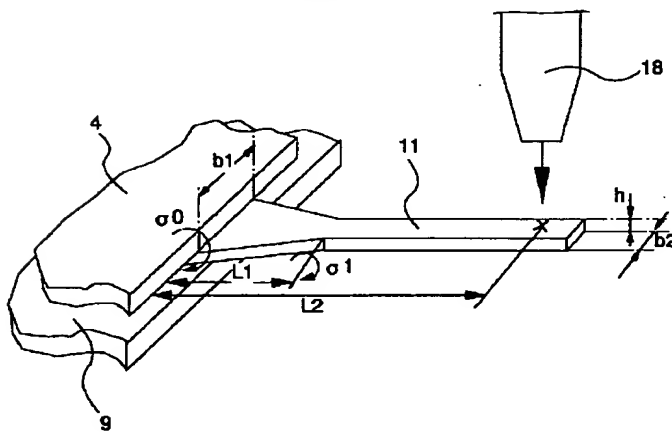
【図 57】

図 57



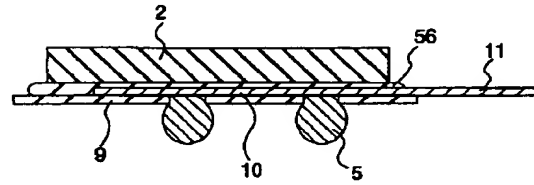
【図 51】

図 51



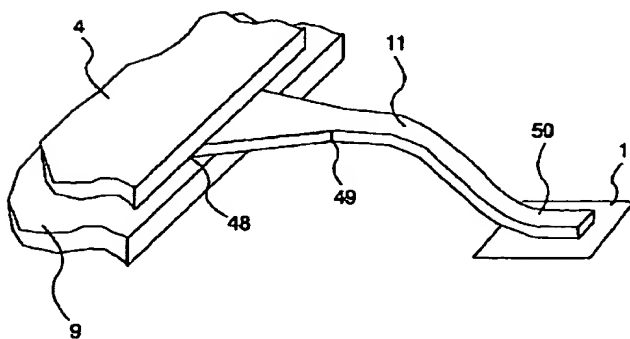
【図 59】

図 59



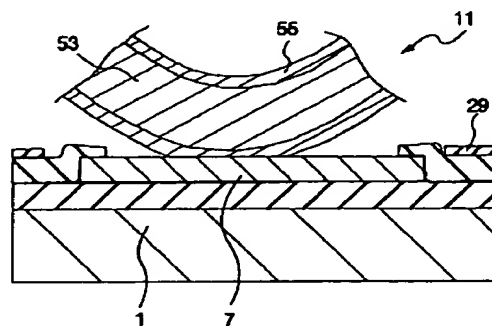
【図 52】

図 52



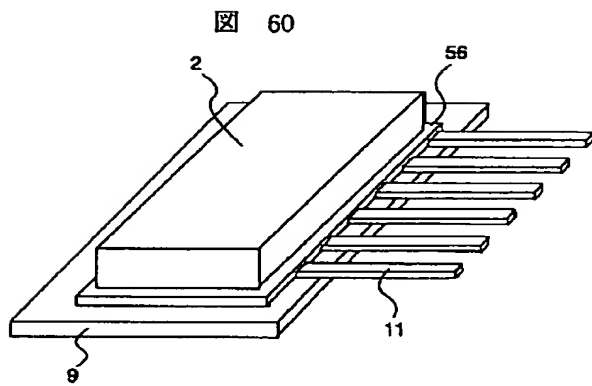
【図 58】

図 58

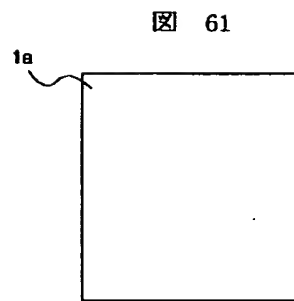


THIS PAGE BLANK (USPTO)

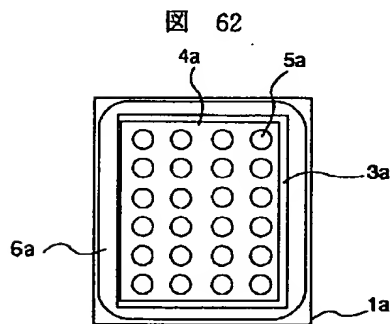
【図60】



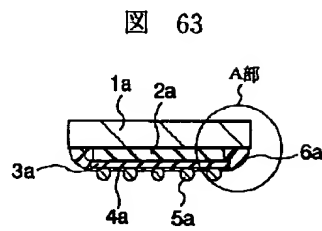
【図61】



【図62】

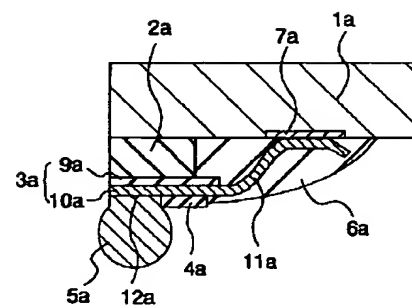


【図63】



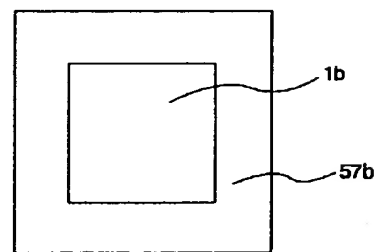
【図64】

図 64



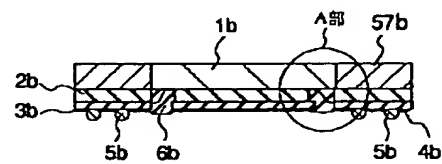
【図66】

図 66



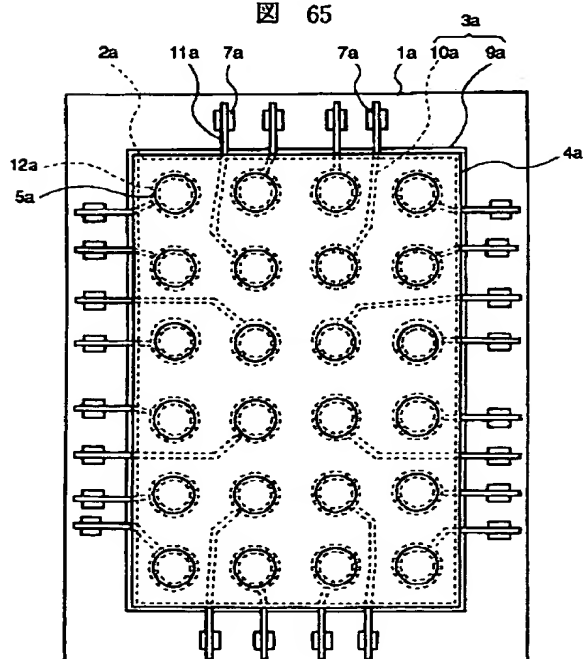
【図68】

図 68



【図65】

図 65



THIS PAGE BLANK (USPTO)

【図 7 2】

☒ 72

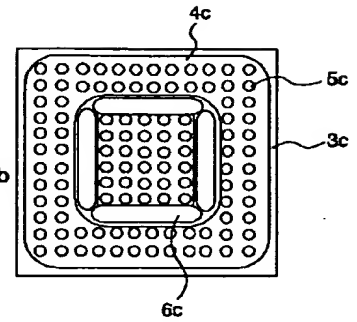
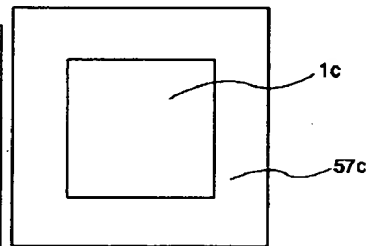
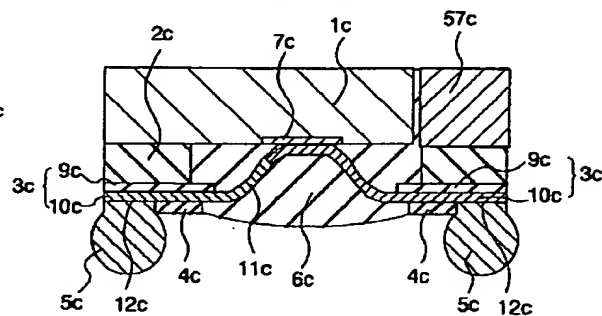


图 70



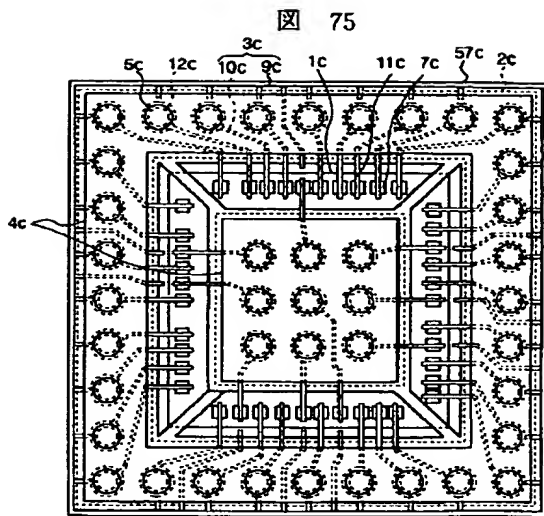
【图 7 4】

图 74

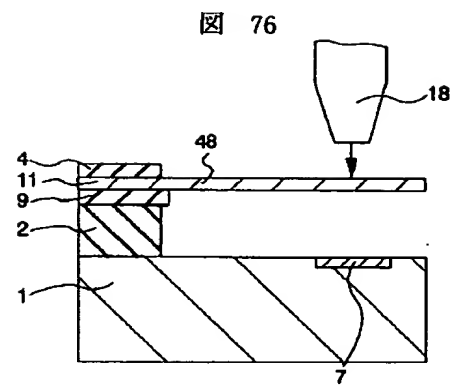


THIS PAGE BLANK (USPTO)

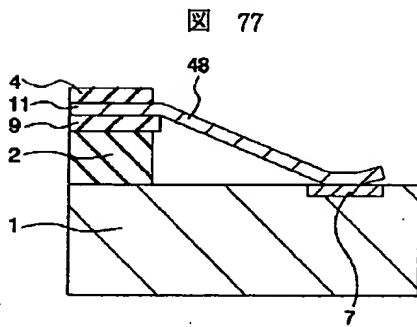
【図 75】



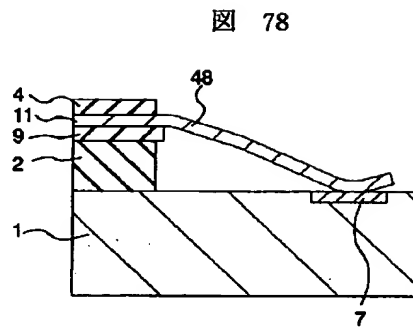
【図 76】



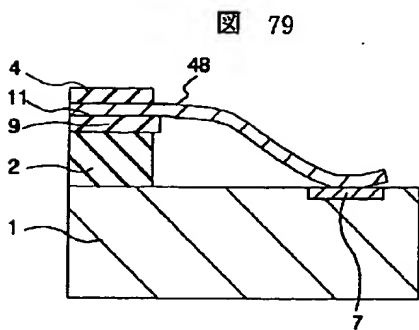
【図 77】



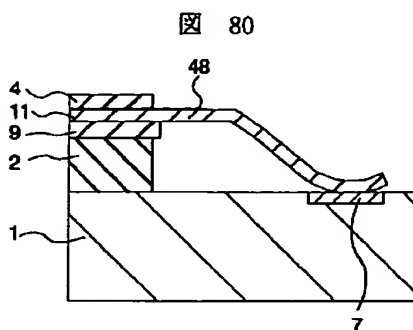
【図 78】



【図 79】



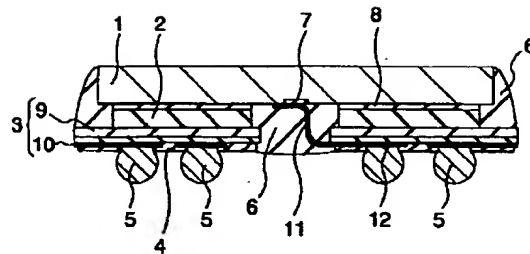
【図 80】



THIS PAGE BLANK (USPTO)

【図81】

図 81



フロントページの続き

(72)発明者 宮崎 忠一
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 秋山 雪治
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 柴本 正訓
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 下石 智明
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 安生 一郎
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 西 邦彦
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 西村 朝雄
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 田中 英樹
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 木本 良輔
東京都小平市上水本町5丁目22番1号 株
式会社日立マイコンシステム内

(72)発明者 坪崎 邦宏
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 長谷部 昭男
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

THIS PAGE BLANK (USPTO)

附
件

(11) 公告編號: 328643

(44) 中華民國87年(1998)03月21日

發明

全 41 頁

(51) Int. Cl. 6: H01L21/84

(54) 名 稱: 半導體裝置及其製造方法

(21) 申請案 號: 86103244

(22) 申請日期: 中華民國86年(1997)03月15日

(30) 優先 權: (31) 066637

(32) 1996/03/22

(33) 日本

(72) 發明 人:

宮崎忠一

日本 田中英樹

日本

秋山雪治

日本 木本良輔

日本

柴本正訓

日本 坪崎邦宏

日本

下石智明

日本 長谷部昭男

日本

安生一郎

日本

西邦彦

日本

西村朝雄

日本

(71) 申請 人:

日立製作所股份有限公司

日本

日立微電腦系統股份有限公司

日本

日立超愛爾·愛斯·愛工程股份有限公司

日本

(74) 代 理 人: 林敏生 先生 林志剛 先生

2

[57] 申請專利範圍:

1. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係具有前述配線基板係形成於絕緣帶和該主面上的配線，於前述絕緣帶側配置前述彈性構造體，且於前述配線側形成接點電極者。
2. 如申請專利範圍第1項之半導體積體電路裝置，其中，前述半導體晶片之外部端子，係配置於前述半導體晶片之中央部者。
3. 如申請專利範圍第1項之半導體積體電路裝置，其中，前述接點電極係配置於較前述半導體晶片之外圍的內側範圍者。
4. 如申請專利範圍第1項之半導體積體電路裝置，其中，前述半導體晶片之外

部端子係配置於前述半導體晶片之周邊部。

5. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係令前述半導體積體電路之外圍部側之前述配線基板之基板基材端部和前述彈性構造體之端部的距離為 M2，令前述半導體晶片端部和前述基板基材之端部距離為 M1 時，滿足 $M1 > M2 > 0$ 之關係範圍下，設定前述 M2 和前述 M1 者。
10. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配
15. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配
20. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配

線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線係令與前述配線基板之基板基材的固定部分，和連接於前述半導體晶片之外部端子的前端部分，形成變位呈至少前述配線之寬以上的形狀者。

7. 一種半導體積體電路裝置，針對於半導體之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線係於前述配線基板之基板基材，一方被固定，另一方則形成於自由端者。
8. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述半導體晶片上之表面保護膜之開口部端部係於至少打下接合具側，於打下前述接合具時，可設定於前述配線則不干涉前述表面保護膜範圍之尺寸者。
9. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線，係可大為形成前述配線之缺口終端側之配線部分的有效面積。
10. 如申請專利範圍第 9 項之半導體積體電路裝置，其中，前述缺口終端側之配線部分連接於對向之配線紋間表面部，於配線之空範圍向縱方向或橫方向延長，或連接鄰接之各配線者。

11. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述彈性構造體係較前述半導體晶片之外形尺寸，以至少形成於前述彈性構造體的外圍部突起寬度分以上，於全周圍範圍地加以形成。
10. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係令前述彈性構造體不黏著於前述半導體晶片之外部端子上地加以分割形成時，令前述分割之彈性構造體所對向之空間的各端部，形成為溝狀者。
13. 如申請專利範圍第 12 項之半導體積體電路裝置，其中，前述分割之彈性構造體所對向之空間之各端部溝中，於封閉工程時，預先形成封閉材止流用之壩堤者。
25. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線構造係令前述配線之寬度尺寸，自前述配線基材之基板基材的端部向配線前端漸進變細，於前述基板基材之端部所產生之彎曲應力 σ_0 ，於前述基板基材之端部和配線前端部之中間所產生之最大應力 σ_1 時之彎曲應力比 α 。
30. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線構造係令前述配線之寬度尺寸，自前述配線基材之基板基材的端部向配線前端漸進變細，於前述基板基材之端部所產生之彎曲應力 σ_0 ，於前述基板基材之端部和配線前端部之中間所產生之最大應力 σ_1 時之彎曲應力比 α 。
35. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線構造係令前述配線之寬度尺寸，自前述配線基材之基板基材的端部向配線前端漸進變細，於前述基板基材之端部所產生之彎曲應力 σ_0 ，於前述基板基材之端部和配線前端部之中間所產生之最大應力 σ_1 時之彎曲應力比 α 。
40. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線構造係令前述配線之寬度尺寸，自前述配線基材之基板基材的端部向配線前端漸進變細，於前述基板基材之端部所產生之彎曲應力 σ_0 ，於前述基板基材之端部和配線前端部之中間所產生之最大應力 σ_1 時之彎曲應力比 α 。

以 $\alpha = \sigma / \sigma_0$ 時，前述彎曲應力比呈 1.2~1.5 地，設定前述配線尺寸及形狀者。

15. 如申請專利範圍第 14 項之半導體積體電路裝置，其中，前述配線基板之配線構造係令前述配線之寬度尺寸，自前述配線基材之基板基材的端部向配線前端漸進變細，自所定位置呈一定之寬度尺寸地加以形成，令推拔長為 $L1$ 配線長為 $L2$ 、推拔寬度為 $b1$ 、配線寬度為 $b2$ 時之彎曲應力比 α 以

$$\alpha = b1 \times (L2 - L1) / (b2 \times L2)$$

所示之時，令前述彎曲應力比呈 1.2~1.5 地，設定前述配線尺寸及形狀者。

16. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置配線基板，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另一端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板之配線構造係令銅做為芯材，於表面透以鍍金者。

17. 一種半導體積體電路裝置，針對於半導體晶片之主面上，介由彈性構造體設置，令前述配線基板之配線之一端側，與前述半導體晶片主面上之外部端子電氣連接，且令前述配線基板之配線之另一端側，與接點電極連接之半導體積體電路裝置，其特徵係前述配線基板係具有形成於絕緣帶和該主面的配線，於前述配線側形成絕緣膜，於前述絕緣膜上配置前述彈性構造體者

18. 一種半導體積體電路裝置之製造方法，其特徵係包含於前述基板基材上，於形成配線之配線基板之背面上，形成彈性構造體之工程，和於前述彈性構造體之背面上，前述配線之導線部和半導體晶片之外部端子之相對位置為一致地，黏著半導體晶片之工程，和令前述配線

之導線部，連接於前述半導體晶片之外部端子的工程，和樹脂封閉前述半導體晶片之外部端子和前述配線之連接部分的工程，和較前述半導體晶片之外圍略外側地，切斷前述配線基板之基板基材的工程，和於前述配線之主面上，形成絕緣膜的工程，和於接合前述絕緣膜之前述配線之紋間表面部和接點電極之位置，形成開口部的工程，和介由前述開口部，接合於前述配線之紋間表面部，形成接點電極之工程。

19. 如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中，前述絕緣膜之開口部係形成前述絕緣膜之工程中，經由規定前述絕緣膜之材料的塗布範圍形成者。

20. 如申請專利範圍第 18 項之半導體積體電路裝置之製造方法，其中，前述絕緣膜之厚度係形成前述絕緣膜之工程中，經由規定前述絕緣膜材料之塗布條件加以設定者。

21. 一種半導體裝置，其特徵係具有在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，

25. 和形成於前述半導體晶片之主面上的彈性薄膜，和形成於前述彈性薄膜上之絕緣帶中，具有表面和對向於前述表面之背面的絕緣帶，

30. 和一端部形成於前述絕緣帶之表面，另一端部連接於前述複數外部端子的複數導線配線，

和被覆前述複數導線配線之絕緣膜中，形成於前述絕緣性帶之表面的絕緣膜，和形成於前述複數導線配線上的複數突起電極中，介由形成於前述絕緣膜中之開口，連接於前述複數導線配線之一端部的複數突起電極；

前述彈性薄膜係配置於前述絕緣性帶之背面側，

前述絕緣膜之厚度係較前述絕緣性帶之厚度為薄者。

22. 如申請專利範圍第 21 項之半導體裝置，其中，前述絕緣性帶之背面側中，未形成導線配線者。
23. 如申請專利範圍第 22 項之半導體裝置，其中，前述絕緣膜係抗焊劑者。
24. 如申請專利範圍第 21 項之半導體裝置，其中，前述各複數之導線配線係具有帶狀部分和較前述帶狀部分之寬為大的平整部，於前述平整部各連接前述複數之突起電極者。
25. 一種半導體裝置，其特徵係具有在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，和形成於前述半導體晶片之主面上的彈性薄膜，和形成於前述彈性薄膜上之絕緣帶中，具有表面和對向於前述表面之背面的絕緣帶，和一端部形成於前述絕緣帶之表面，另端部連接於前述複數外部端子的複數導線配線，和被覆前述複數導線配線之絕緣膜中，形成於前述絕緣性帶之背面的絕緣膜，和形成於前複數導線配線上的複數突起電極中，介由形成於前述絕緣性帶中之開口，連接於前述複數導線配線之一端部的複數突起電極；前述彈性薄膜係配置於前述絕緣性帶之背面側，前述絕緣膜之厚度係較前述絕緣性帶之厚為薄者。
26. 如申請專利範圍第 25 項之半導體裝置，其中，前述絕緣性帶之表面中，未形成導線配線者。
27. 如申請專利範圍第 25 項之半導體裝置，其中，前述絕緣膜係抗焊劑者。
28. 如申請專利範圍第 25 項之半導體裝置，其中，前述各複數之導線配線係具有

帶狀部分和較前述帶狀部分之寬為大的平整部，於前述平整部各連接前述複數之突起電極者。

29. 一種半導體裝置，其特徵係具有
5. 在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，和形成於前述半導體晶片之主面上的彈性薄膜，和形成於前述彈性薄膜上之絕緣性帶和一端部形成於前述絕緣性帶之表面，另端部連接於前述複數外部端子的複數導線配線，和形成於前複數導線配線上的複數突起電極中，連接於前述複數導線配線之一端部的複數突起電極；前述複數之導線配線之另端部長度係較前述絕緣性帶之端部和對應之前述複數外部端子的距離為長，前述複數之導線配線係於銅配線之表面施以鍍金的配線者。
10. 30. 如申請專利範圍第 29 項之半導體裝置，其中，前述鍍金係直接施於前述銅配線之表面者。
15. 31. 如申請專利範圍第 29 項之半導體裝置，其中，前述鍍金係施於自前述絕緣性帶露出之部分者。
20. 32. 一種半導體裝置之製造方法，針對具有在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，和形成於前述半導體晶片之主面上的彈性薄膜，和形成於前述彈性薄膜上之絕緣性帶中，與前述複數外部端子以所定間隔加以配置的絕緣性帶，和形成於前述絕緣性帶表面之第 1 部分，和突出於前述絕緣性帶外部的第 2 部分；
25. 35. 前述第 2 部分連接於前述複數之外部端
30. 40.

子的複數導線配線，和形成於前述複數之導線配線上的複數之突起電極中，具有連接於前述複數之導線配線之第1部分的複數之突起電極的半導體裝置之製造方法中，其特徵係包含

於與前述半導體晶片之主面幾近平行方向中，形成具有較與前述複數外部端子之前述絕緣性帶之所定間隔為長，且幾近直線狀延長之第2部分的複數導線配線工程，

和令前述複數導線配線之第2部分的端部，經由接合具，移動於對應之前述複數外部端子上的工程，

和令前述複數導線配線之第2部分的端部，經由接合具，連接於對應之前述複數外部端子上的工程者。

33. 一種半導體裝置，其特徵係具有

在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，

和形成於前述半導體晶片之主面上的彈性薄膜，

和形成於前述彈性薄膜上之絕緣帶，

和一端部形成於前述絕緣性帶之表面，另端部連接於前述複數外部端子的複數導線配線。

和形成於前複數導線配線上的複數突起電極中，連接於前述複數導線配線之一端部的複數突起電極；

前述彈性薄膜係露出前述複數外部端子地，形成於前述複數之外部端子之兩側

，
前述複數之導線配線係包含形成於前述彈性薄膜之一方側的第1導線，和形成於前述彈性薄膜之他方側的第2導線，前述第1導線及前述第2導線各係於前述複數之外部端子之附近終止者。

34. 一種半導體裝置，其特徵係具有

在於該主面有複數之半導體元件和複數之外部端子和被覆前述複數之半導體元件之保護膜的半導體晶片中，前述保護

膜具有露出前述複數外部端子開口的半導體晶片，

和形成於前述保護膜上的彈性薄膜，

和形成於前述彈性薄膜上之絕緣性帶，

5. 和一端部形成於前述絕緣性帶之表面，另端部連接於前述複數外部端子的複數導線配線，

和形成於前述複數導線配線上的複數突起電極中，連接於前述複數導線配線之一端部的複數突起電極；

10. 前述保護膜之開口係較前述複數之導線配線之另端部前端，向自前述彈性薄膜之端部向外側雜開之方向擴展形成者。

35. 一種半導體裝置，其特徵係具有

15. 在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，

和形成於前述半導體晶片之主面上的彈性薄膜，

和形成於前述彈性薄膜上之絕緣性帶，

20. 和一端部形成於前述絕緣性帶之表面，另端部連接於前述複數外部端子的複數導線配線，

和形成於前複數導線配線上的複數突起電極中，連接於前述複數導線配線之一端部的複數突起電極；

25. 前述彈性薄膜係露出前述複數外部端子地，形成於前述複數之外部端子之兩側

，
前述複數之導線配線係包含具有於前述彈性薄膜之一方側形成該平整部，且自前述平整部向前述彈性薄膜之另方側延長之帶狀導線的第1導線，具有於前述彈性薄膜之另方側形成該平整部，且自前述平整部向前述彈性薄膜之一方側延長之帶狀導線的第2導線；

35. 具有在於對於前述第1導線之帶狀導線之前端位置之前述彈性薄膜的另方側，與前述第1導線一體地加以形成，且較前述帶狀導線寬度為寬之第1配線端，

40. 具有在於對向於前述第2導線之帶狀導

線之前端位置之前述彈性薄膜之一方側，與前述第 2 導線一體地加以形成，且較前述帶狀導線寬度為寬之第 2 配線端

前述第 1 導線係於前述彈性薄膜之一方側與另方側間之範圍，與前述第 1 配線端切斷。

前述第 2 導線係於前述彈性薄膜之一方側與另方側間之範圍，與前述第 2 導線端切斷者。

36. 一種半導體裝置，其特徵係具有
- 在於該主面有複數之半導體元件和複數之外部端子的半導體晶片，
 - 和形成於前述半導體晶片之主面上的彈性薄膜，
 - 和形成於前述彈性薄膜上之絕緣性帶中，該端部與前述複數之外部端子，以所定間隔加以配置之絕緣性帶，
 - 和具有形成於前述絕緣性帶之表面的第 1 部分，和突出於前述絕緣性帶外部之第 2 部分，前述第 2 部分之前端部係連接於前述複數之外部端子之複數導線配線，和形成於前述複數導線配線上的複數突起電極中，連接於前述複數導線配線之第 1 部分的複數突起電極；
 - 前述複數導線配線之第 2 部分的長度係較前述絕緣性帶之端部與前述複數外部端子之所定間隔為長，
 - 前述複數導線配線之第 2 部分係具有於前述絕緣性帶之端部附近，向外部階段性地寬度變狹之部分者。

圖示簡單說明：

第一圖顯示本發明之具體例 1 之半導體積體電路裝置的平面圖。

第二圖本發明之具體例 1 中，第一圖之 A-A' 切斷線之截面圖。

第三圖顯示本發明具體例 1 之半導體積體電路裝置的安裝基板的安裝狀態的平面圖。

第四圖顯示本發明具體例 1 之半導

體積體電路裝置的安裝基板的安裝狀態的截面圖。

第五圖顯示本發明具體例 1 之半導體積體電路裝置的組裝工程的流程圖。

第六圖本發明具體例 1 之半導體積體電路裝置的主要截面圖。

第七圖為比較說明本發明之具體例 1 之半導體積體電路裝置和檢討本發明人之半導體積體電路裝置的主要截面圖。

第八圖顯示本發明之具體例 1 之半導體積體電路裝置之一變形例的兩面配線的主要截面圖。

第九圖顯示本發明之具體例 1 之半導體積體電路裝置之窗口開口部的平面圖。

第十圖對應第九圖窗口開口部之截面圖。

第十一圖為說明本發明之具體例 1 之半導體積體電路裝置之窗口開口部及半導體晶片邊緣部的尺寸的截面圖。

第十二圖顯示本發明具體例 1 之半導體積體電路裝置之印刷後的彈性體凹陷的截面圖。

第十三圖顯示本發明具體例 1 之半導體積體電路裝置中，半導體晶片貼附後之帶彎曲的截面圖。

第十四圖顯示本發明具體例 1 之半導體積體電路裝置中，平面 S 字導線的平面圖。

第十五圖本發明具體例 1 之半導體積體電路裝置中，第十四圖之 B 箭頭之截面圖。

第十六圖本發明具體例 1 之半導體積體電路裝置中，第十四圖之 A 箭頭之截面圖。

第十七圖顯示本發明具體例 1 之半導體積體電路組合圖中，標準 S 字導線形成時之接合具之軌跡截面圖。

第十八圖顯示本發明具體例 1 之半

導體積體電路裝置中，平面 S 字導線形成時之接合具之軌跡截面圖。

第十九圖為說明本發明具體例 1 之半導體積體電路裝置中，缺口導線及橫樑導線的平面圖。

第二十圖顯示本發明具體例 1 之半導體積體電路裝置中，第十九 A 圖部之缺口導線的平面圖。

第二一圖顯示本發明具體例 1 之半導體積體電路裝置中，橫樑導線的平面圖。

第二二圖顯示本發明具體例 1 之半導體積體電路裝置中，導線接合部的截面圖。

第二三圖顯示本發明具體例 1 之半導體積體電路裝置中，導線接合部的平面圖。

第二四圖為本發明具體例 1 之半導體積體電路裝置中，擴大第二二 A 圖部之工具著地點的截面圖。

第二五圖顯示本發明具體例 1 之半導體積體電路裝置中，改良鈍化開口尺寸法的接合部截面圖。

第二六圖顯示本發明具體例 1 之半導體積體電路裝置中，雙向導線之接合部的平面圖。

第二七圖顯示本發明具體例 1 之半導體積體電路裝置中，標準固定配線的平面圖。

第二八圖顯示本發明具體例 1 之半導體積體電路裝置中，改善固定配線的平面圖。

第二九圖顯示本發明具體例 1 之半導體積體電路裝置中，標準彈性體構造的斜視圖。

第三十圖顯示本發明具體例 1 之半導體積體電路裝置中，標準彈性體構造竹的斜視圖。

第三一圖顯示本發明具體例 1 之半導體積體電路裝置中，寬彈性體構造的

斜視圖。

第三二圖顯示本發明具體例 1 之半導體積體電路裝置中，寬彈性體之半導體晶片貼附狀態的斜視圖。

第三三圖顯示本發明具體例 1 之半導體積體電路裝置中，寬彈性體之半導體晶片貼附狀態的截面圖。

第三四圖顯示本發明具體例 1 之半導體積體電路裝置中，標準彈性體之半導體晶片貼附後構造的斜視圖。

第三五圖顯示本發明具體例 1 之半導體積體電路裝置中，標準彈性體之半導體晶片貼附後構造的截面圖。

第三六圖顯示本發明具體例 1 之半導體積體電路裝置中，寬彈性體之半導體晶片貼附後構造的斜視圖。

第三七圖顯示本發明具體例 1 之半導體積體電路裝置中，寬彈性體之半導體晶片貼附後構造的截面圖。

第三八圖顯示本發明具體例 1 之半導體積體電路裝置中，金屬罩印刷之概念的截面圖。

第三九圖顯示本發明具體例 1 之半導體積體電路裝置中，標準彈性體之金屬罩的平面圖。

第四十圖顯示本發明具體例 1 之半導體積體電路裝置中，寬彈性體之金屬罩的平面圖。

第四一圖顯示本發明具體例 1 之半導體積體電路裝置中，複數吊燈之寬彈性體之印刷形狀的平面圖。

第四二圖顯示本發明具體例 1 之半導體積體電路裝置中，為溝埋設彈性體之接合位置的平面圖。

第四三圖顯示本發明具體例 1 之半導體積體電路裝置中，標準導線接合之接合部的截面圖。

第四四圖顯示本發明具體例 1 之半導體積體電路裝置中，使用間柱接點之接合部的截面圖。

第四五圖顯示本發明具體例 1 之半導體積體電路裝置中，使用鐳錫之導線連接的截面圖。

第四六圖顯示本發明具體例 1 之半導體積體電路裝置中，使用鐳錫之導線連接的平面圖。

第四七圖顯示本發明具體例 1 之半導體積體電路裝置中，使用鐳錫或金球之導線連接的截面圖。

第四八圖顯示本發明具體例 1 之半導體積體電路裝置中，使用鐳錫或金球之導線連接的斜視圖。

第四九圖顯示本發明具體例 1 之半導體積體電路裝置中，使用鋁或鐳錫線連接的截面圖。

第五十圖顯示本發明具體例 1 之半導體積體電路裝置中，使用金線之連接的截面圖。

第五一圖顯示本發明具體例 1 之半導體積體電路裝置中，為說明導線之斜視圖。

第五二圖顯示本發明具體例 1 之半導體積體電路裝置中，接合後之導線變形之斜視圖。

第五三圖顯示本發明具體例 1 之半導體積體電路裝置中，導線尺寸和彎曲應力比的關係說明圖。

第五四圖顯示本發明具體例 1 之半導體積體電路裝置中，導線連接之連接部的截面圖。

第五五圖顯示本發明具體例 1 之半導體積體電路裝置中，導線之彎曲部的擴大截面圖。

第五六圖顯示本發明具體例 1 之半導體積體電路裝置中，無鍍 Ni 導線之彎曲部的擴大截面圖。

第五七圖顯示本發明具體例 1 之半導體積體電路裝置中，導線之壓著部的擴大截面圖。

第五八圖顯示本發明具體例 1 之半

導體積體電路裝置中，無鍍 Ni 導線之壓著部的擴大截面圖。

第五九圖顯示本發明具體例 2 之半導體積體電路裝置構造的截面圖。

第六十圖顯示本發明具體例 2 之半導體積體電路裝置構造的斜視圖。

第六一圖令本發明具體例 3 之半導體積體電路裝置自半導體晶片背面所視得之平面圖。

第六二圖顯示本發明具體例 3 之半導體積體電路裝置的平面圖。

第六三圖顯示本發明具體例 3 之半導體積體電路裝置的截面圖。

第六四圖顯示本發明具體例 3 之半導體積體電路裝置中，第六三圖之 A 部分的截面圖。

第六五圖本發明具體例 3 之半導體積體電路裝置中，說明配線基板之配線構造之平面圖。

第六六圖令本發明具體例 4 之半導體積體電路裝置自半導體晶片背面所視得之平面圖。

第六七圖顯示本發明具體例 4 之半導體積體電路裝置的平面圖。

第六八圖顯示本發明具體例 4 之半導體積體電路裝置的截面圖。

第六九圖顯示本發明具體例 4 之半導體積體電路裝置中，第六八圖之 A 部分的截面圖。

第七十圖本發明具體例 4 之半導體積體電路裝置中，說明配線基板之配線構造之平面圖。

第七一圖令本發明具體例 5 之半導體積體電路裝置自半導體晶片背面所視得之平面圖。

第七二圖顯示本發明具體例 5 之半導體積體電路裝置的平面圖。

第七三圖顯示本發明具體例 5 之半導體積體電路裝置的截面圖。

第七四圖顯示本發明具體例 5 之半

導體積體電路裝置中，第七三圖之 A 部分的截面圖。

第七五圖本發明具體例 5 之半導體積體電路裝置中，說明配線基板之配線構造之平面圖。

第七六圖比較說明本發明之具體例 1 之半導體積體電路裝置和本發明所檢討之半導體積體電路裝置中，顯示對應彎曲應力之導線變形形狀的截面圖。

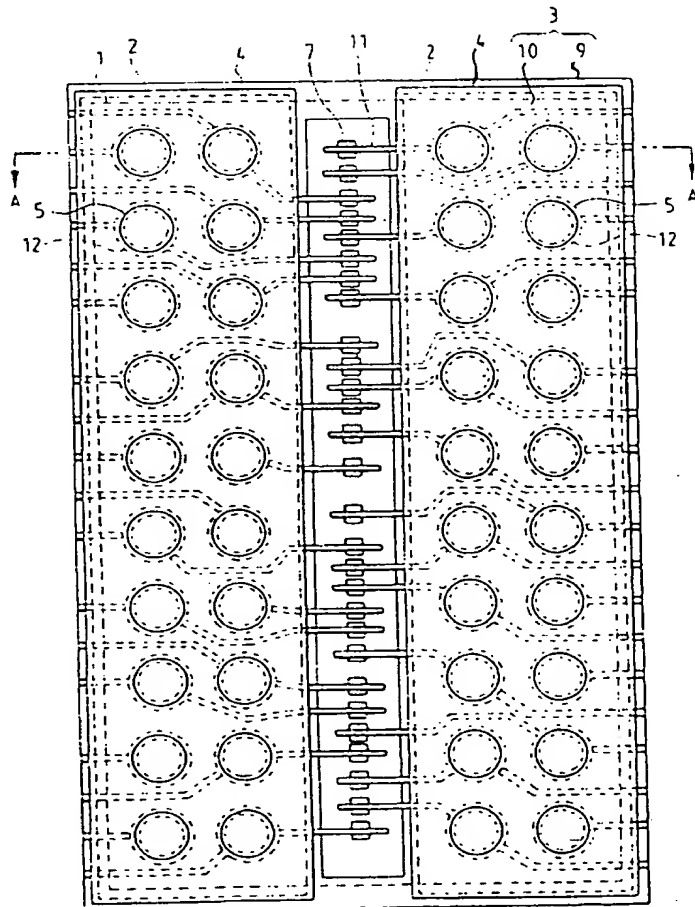
第七七圖顯示本發明之具體例 1 之半導體積體電路裝置中，對應彎曲應力之導線變形形狀的截面圖。

第七八圖顯示本發明之具體例 1 之半導體積體電路裝置中，對應彎曲應力之導線變形形狀的截面圖。

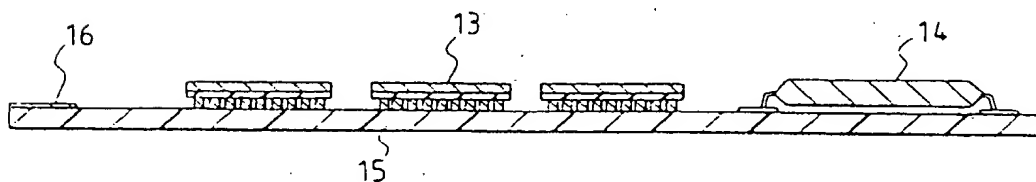
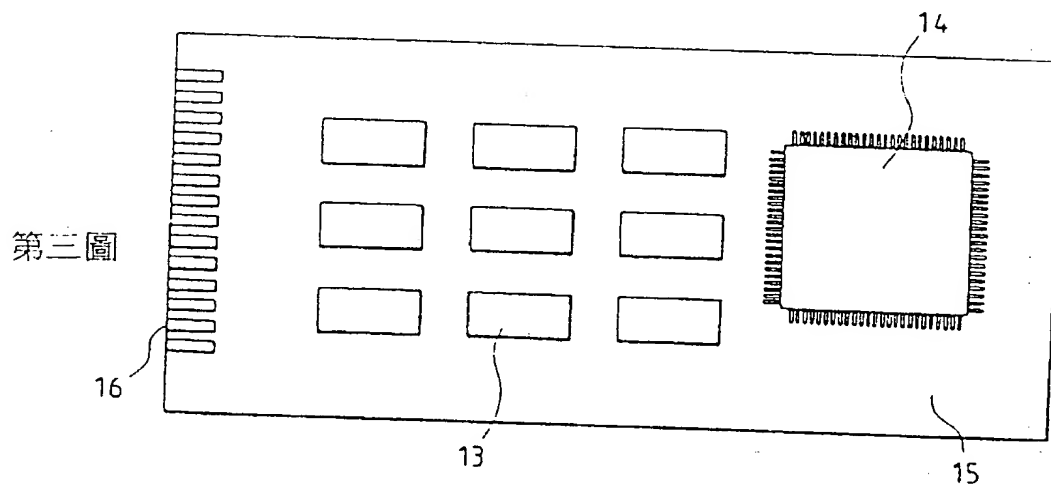
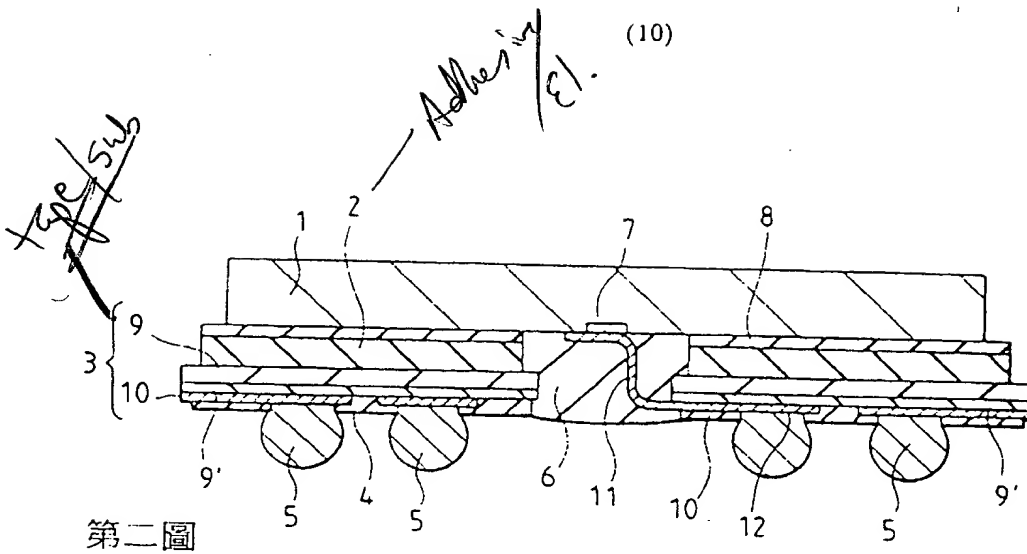
第七九圖顯示本發明之具體例 1 之半導體積體電路裝置中，對應彎曲應力之導線變形形狀的截面圖。

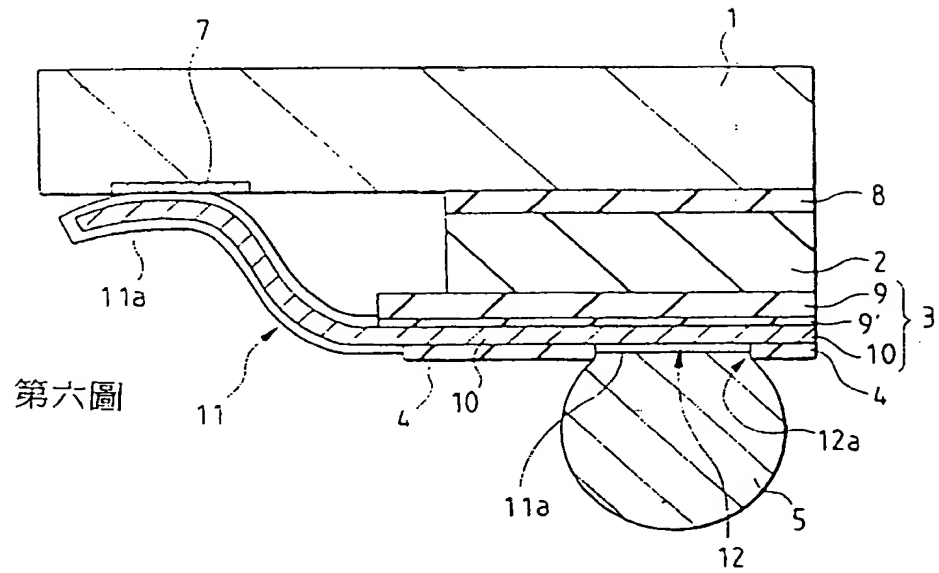
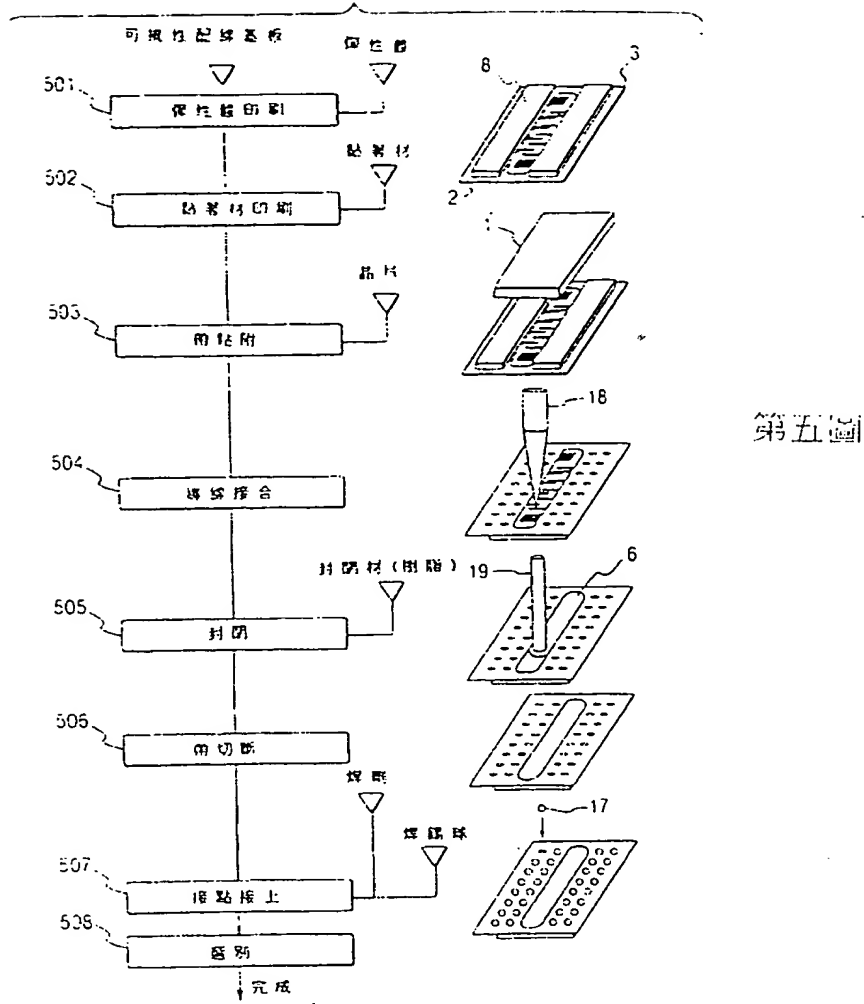
第八十圖顯示本發明之具體例 1 之半導體積體電路裝置中，對應彎曲應力之導線變形形狀的截面圖。

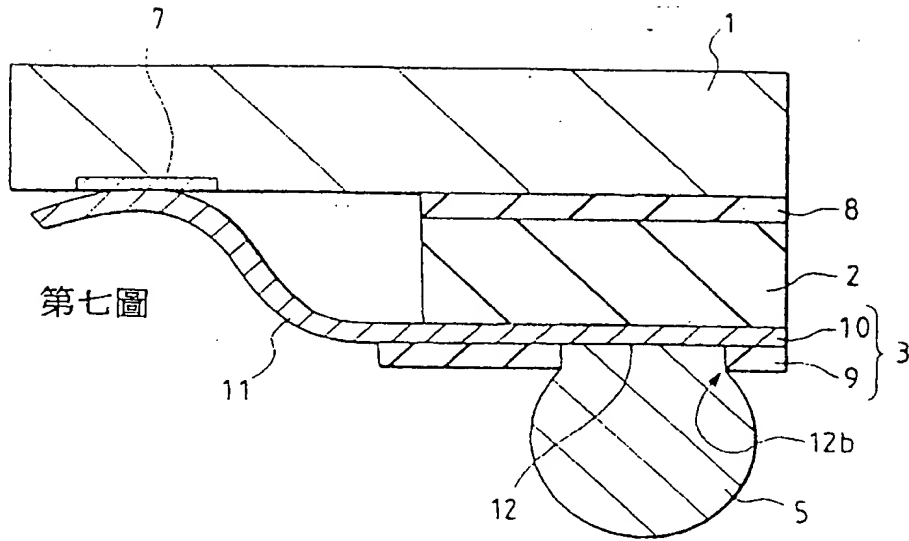
第八一圖顯示本發明之具體例 1 之半導體積體電路裝置中，封裝構成變形例的截面圖。



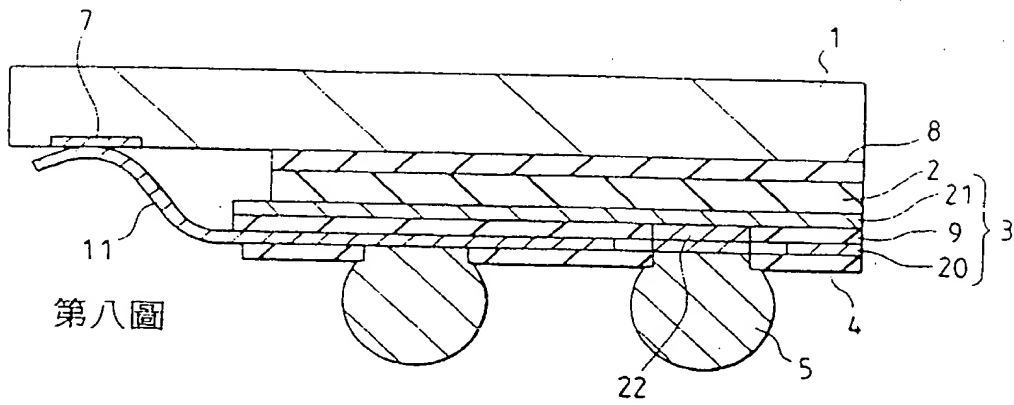
第一圖



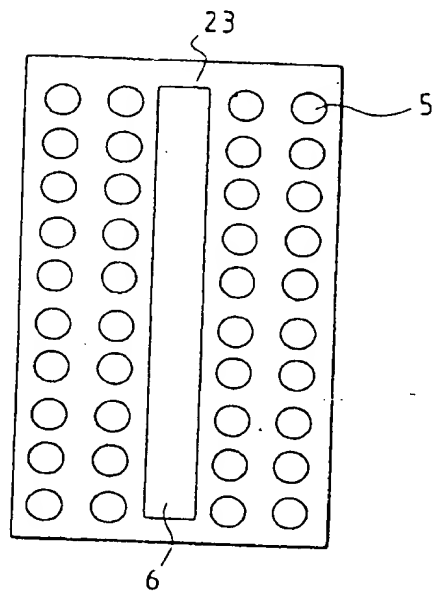




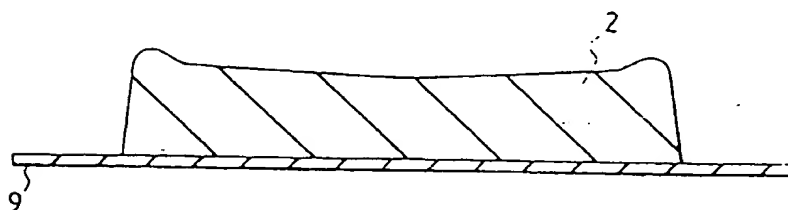
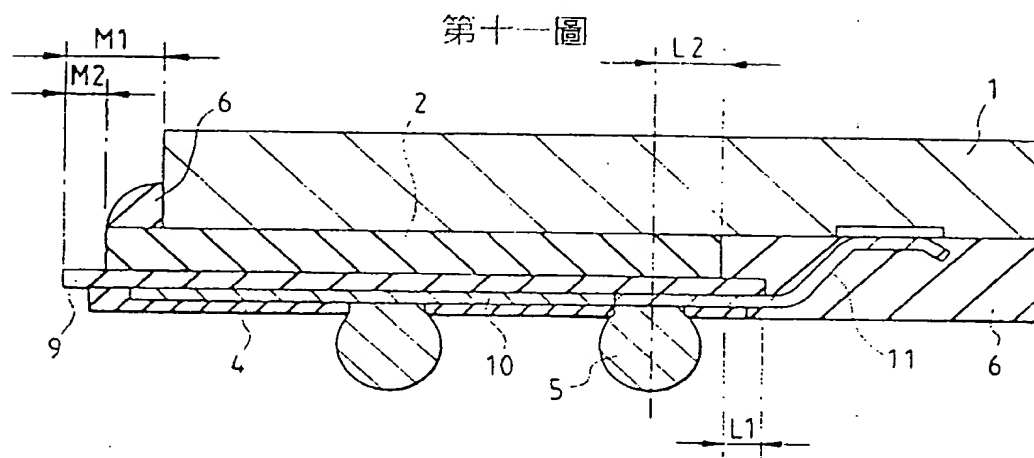
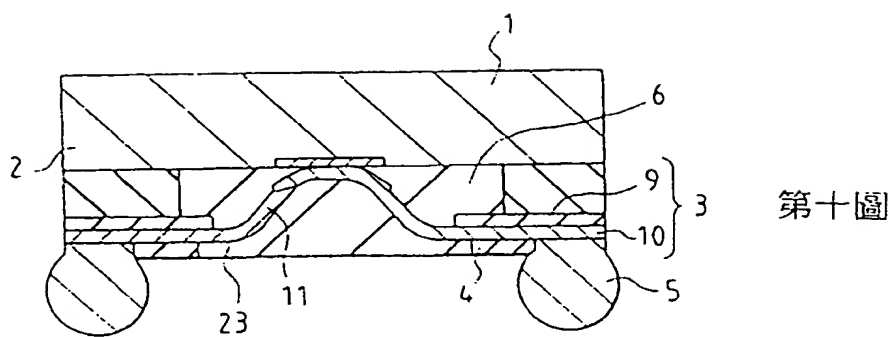
第七圖



第八圖

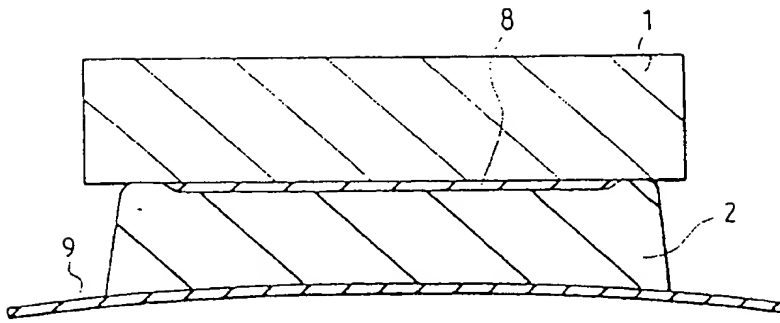


第九圖

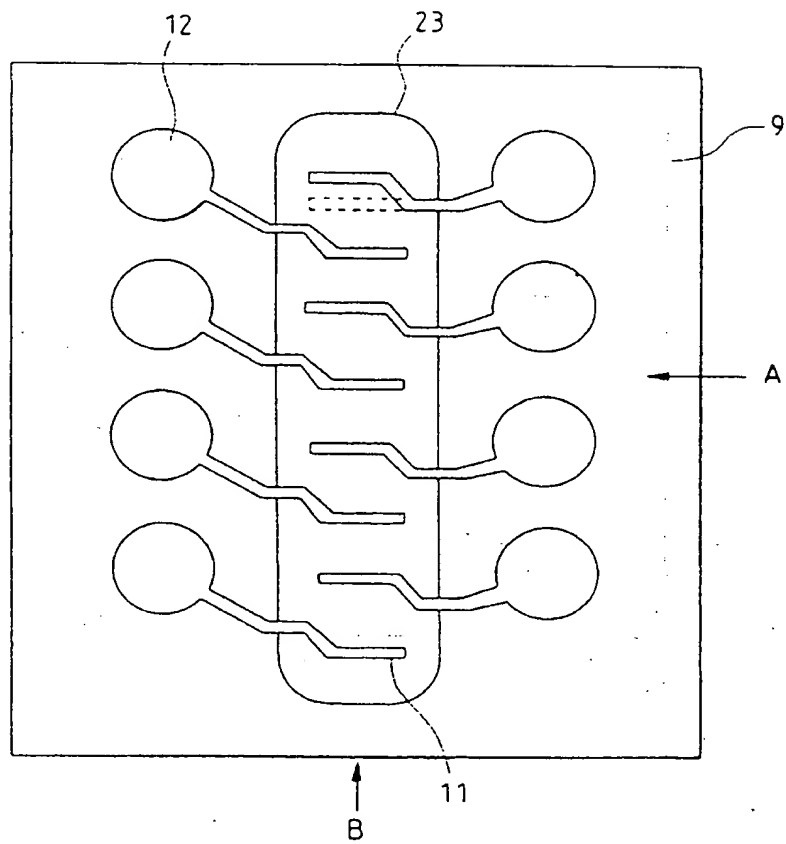


第十二圖

(14)

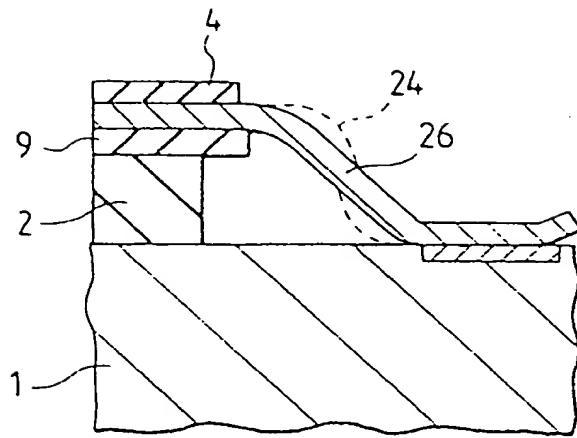


第十三圖

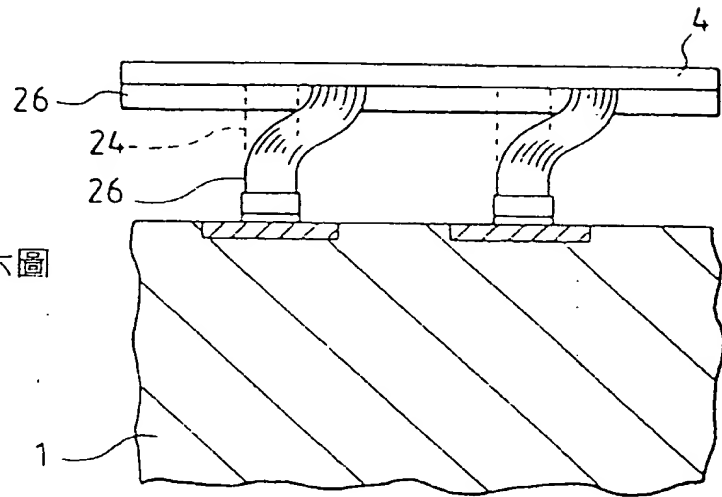


第十四圖

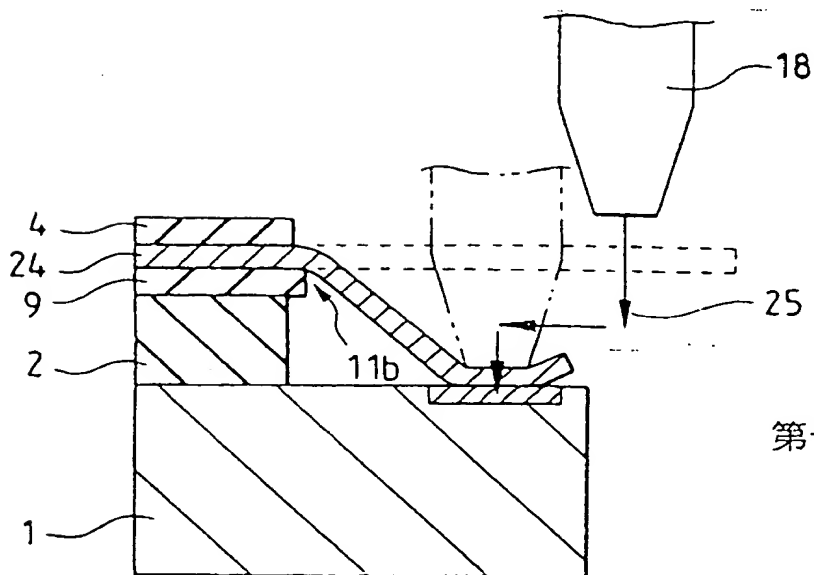
(15)



第十五圖



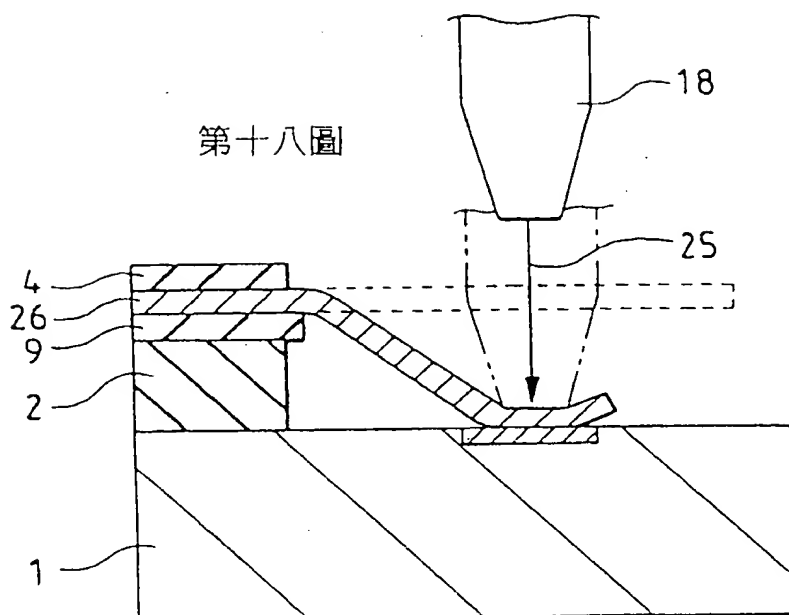
第十六圖



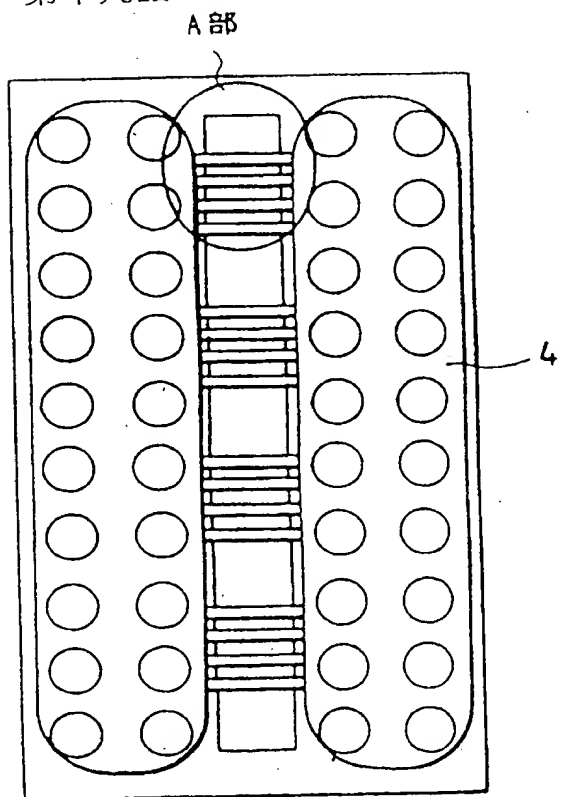
第十七圖

(16)

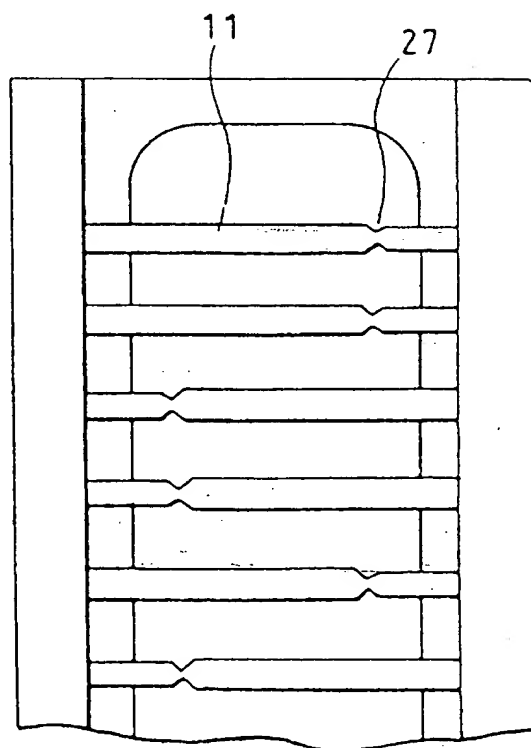
第十八圖



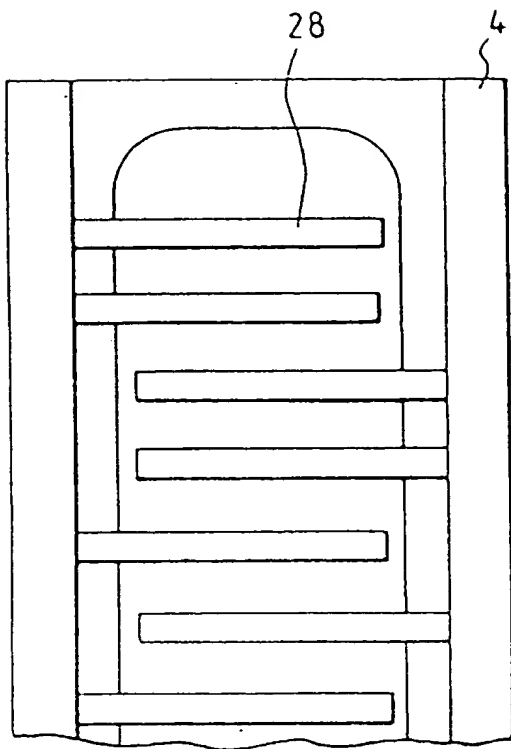
第十九圖



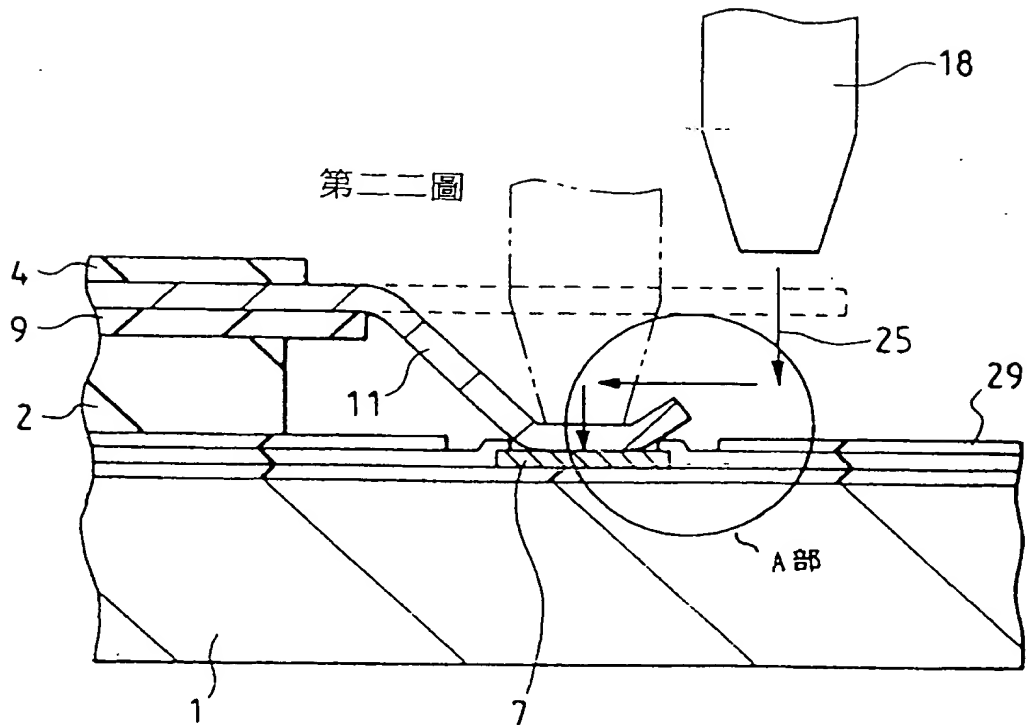
第二十圖



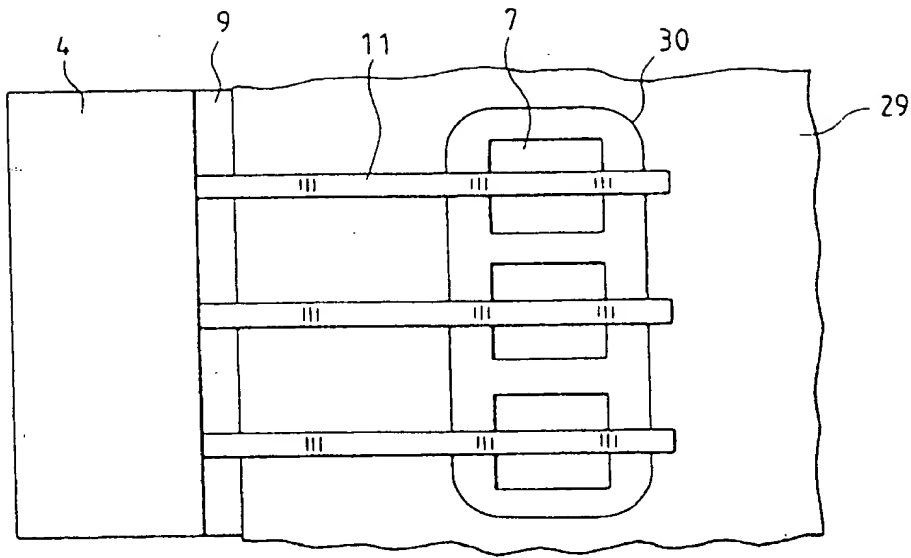
(17)



第二一圖

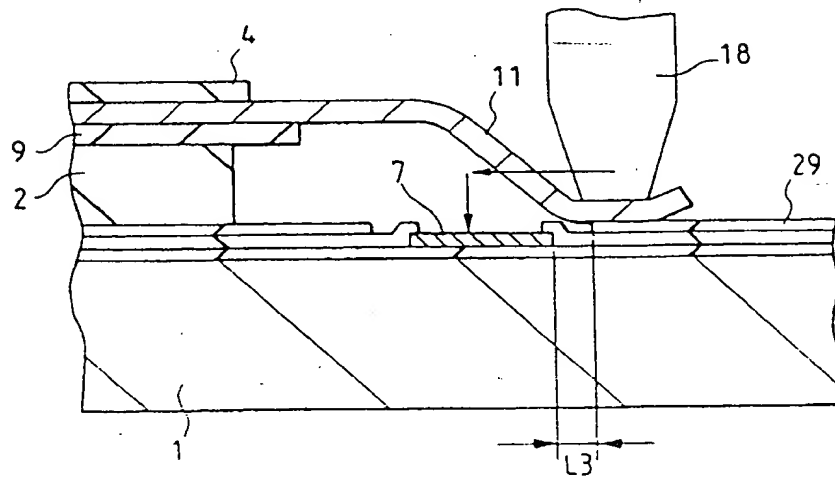


(18)

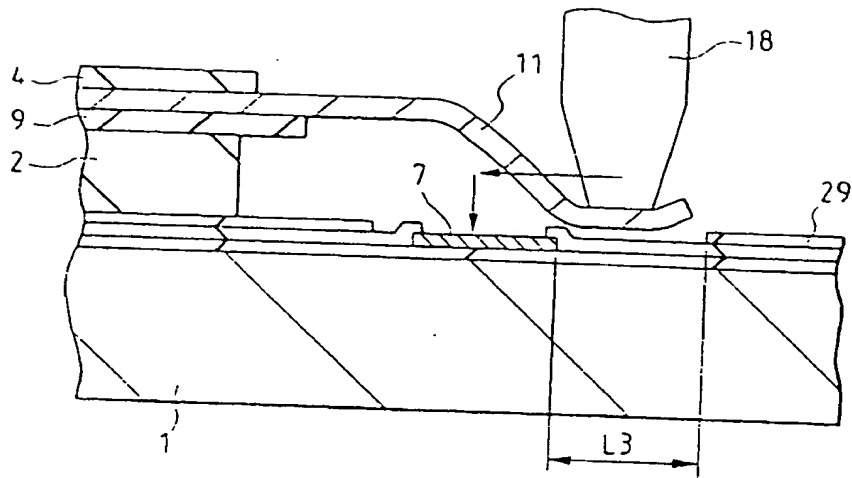


第二三圖

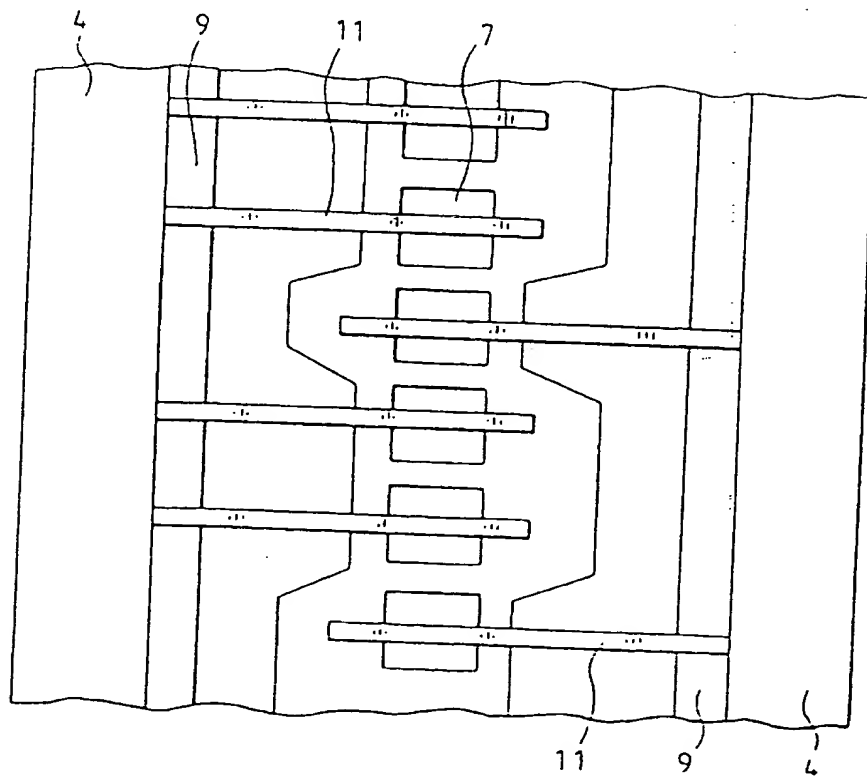
第二四圖



(19)

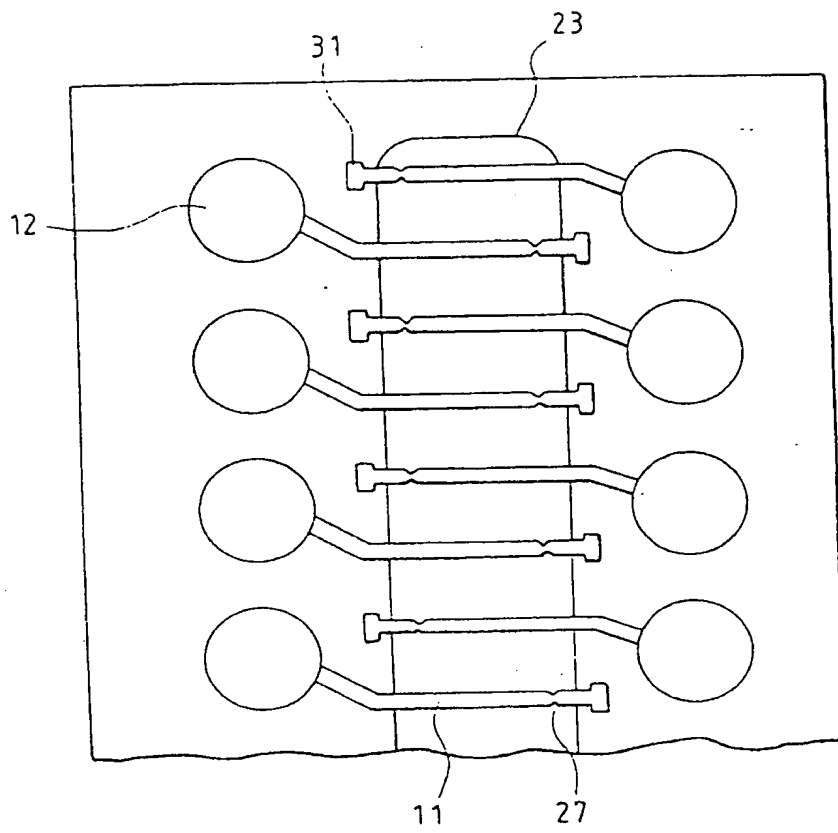


第二五圖

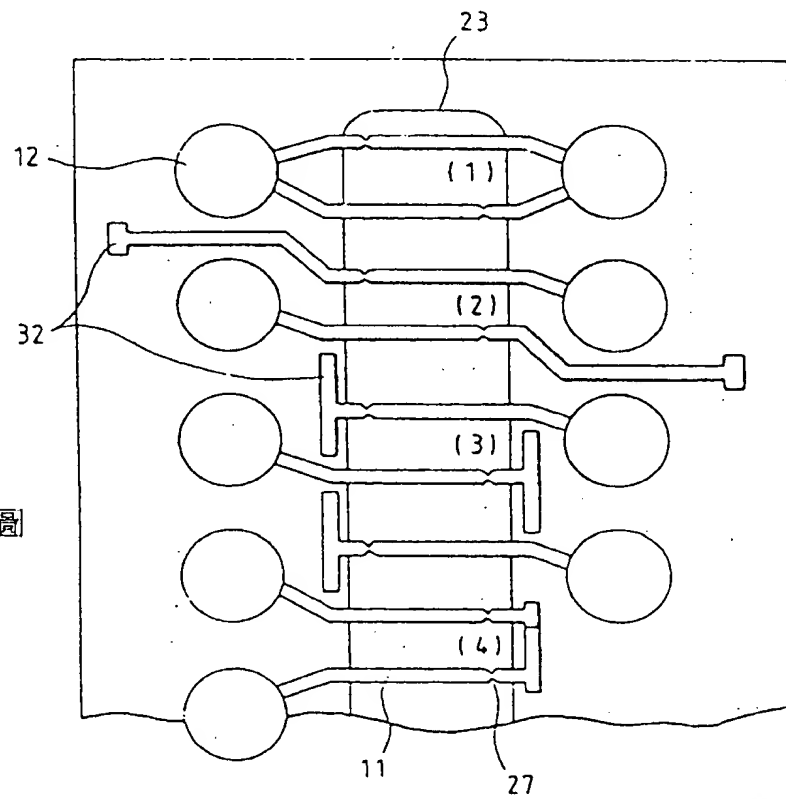


第二六圖

(20)



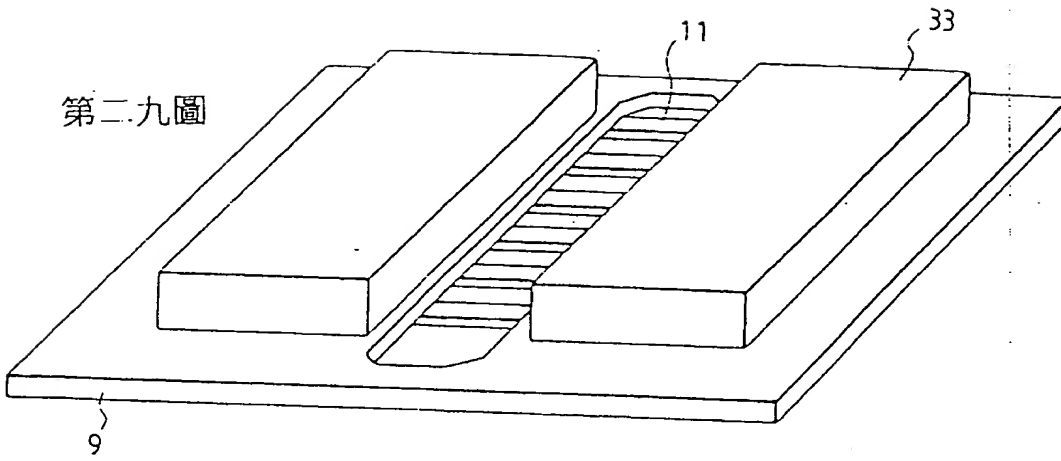
第二七圖



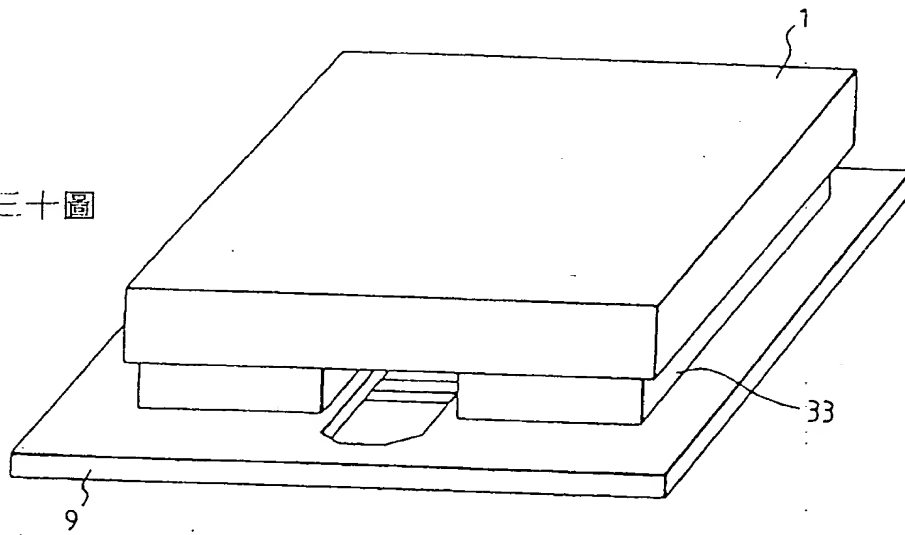
第二八圖

(21)

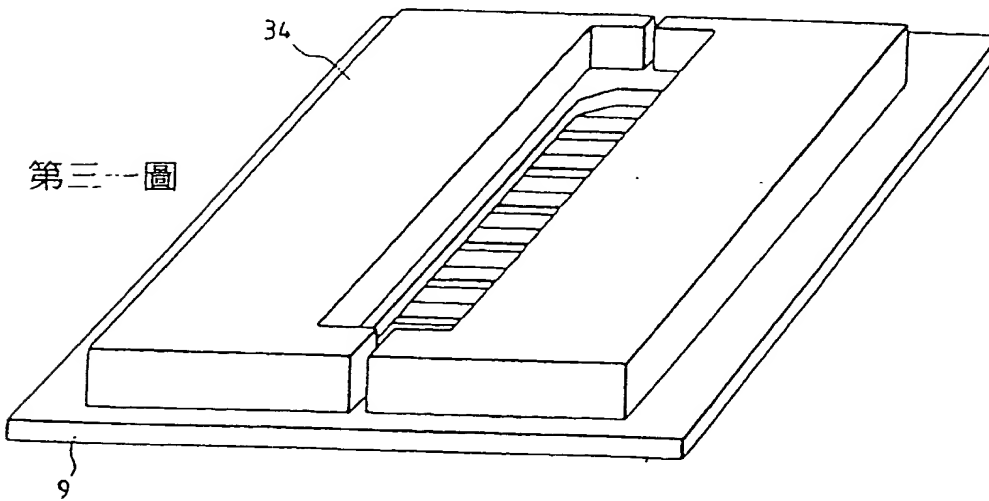
第二九圖



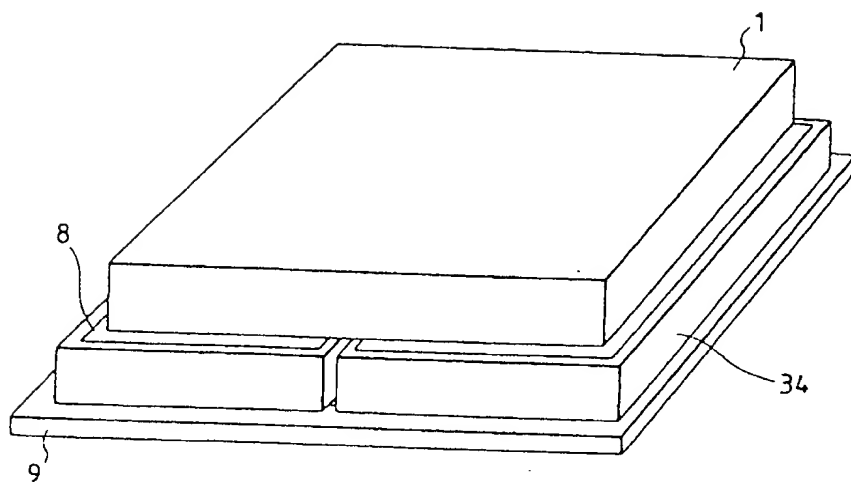
第三十圖



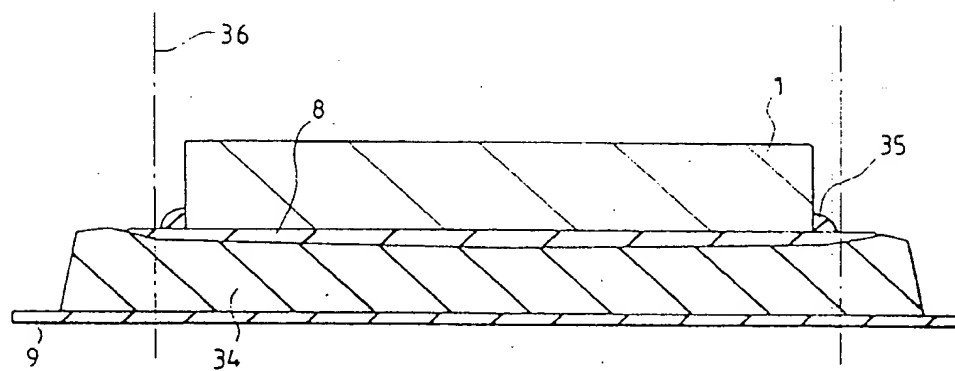
第三一圖



(22)

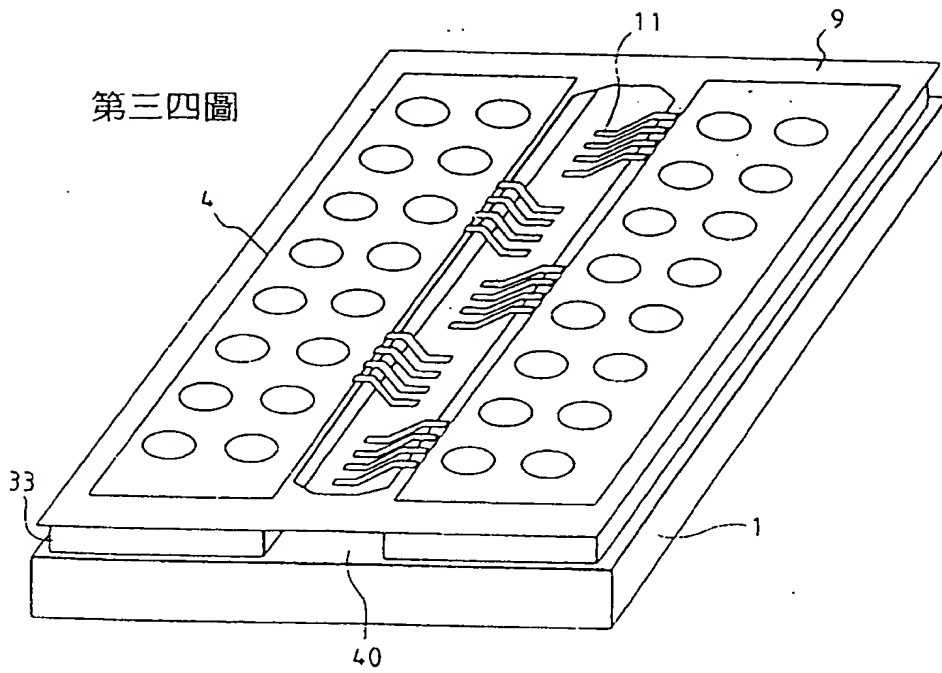


第三二圖

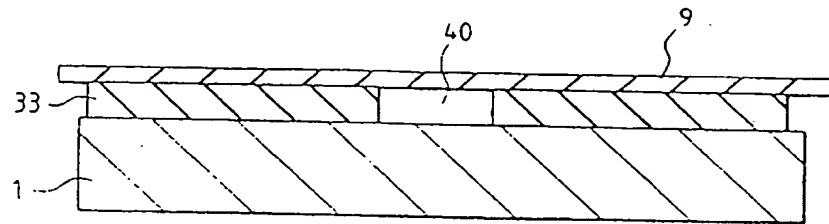


第三三圖

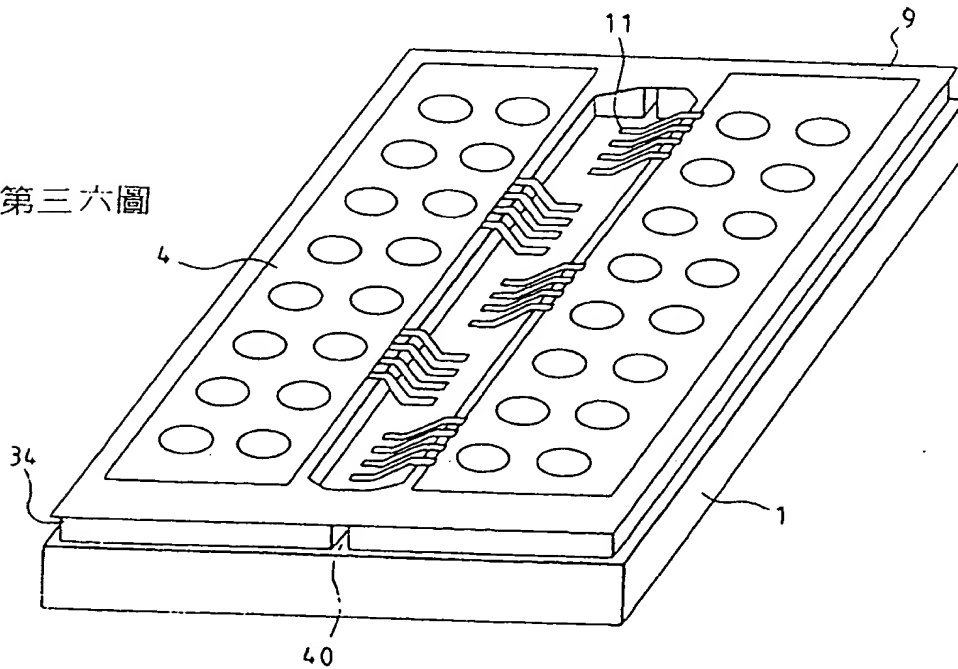
第三四圖

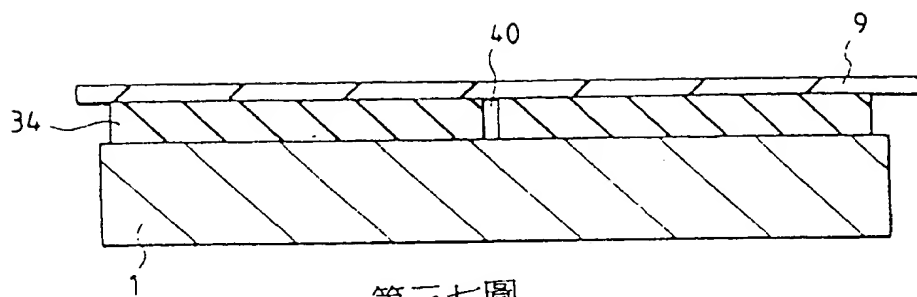


第三五圖

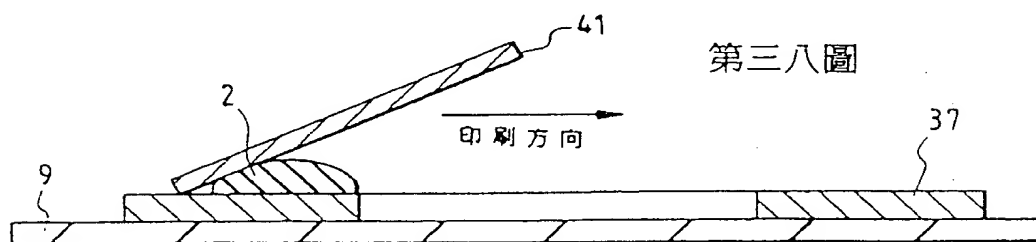


第三六圖

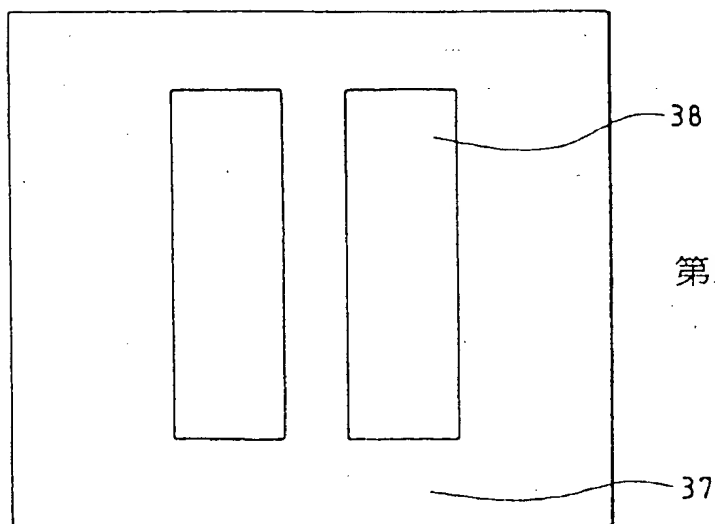




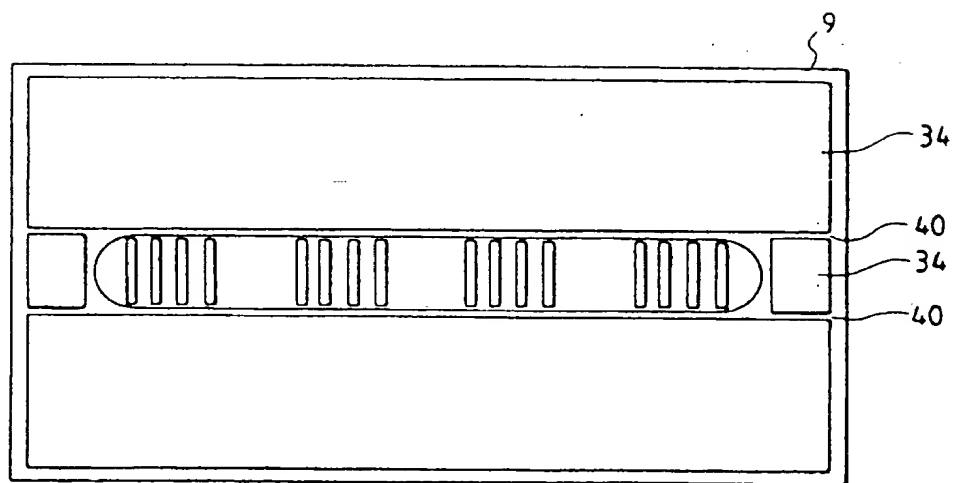
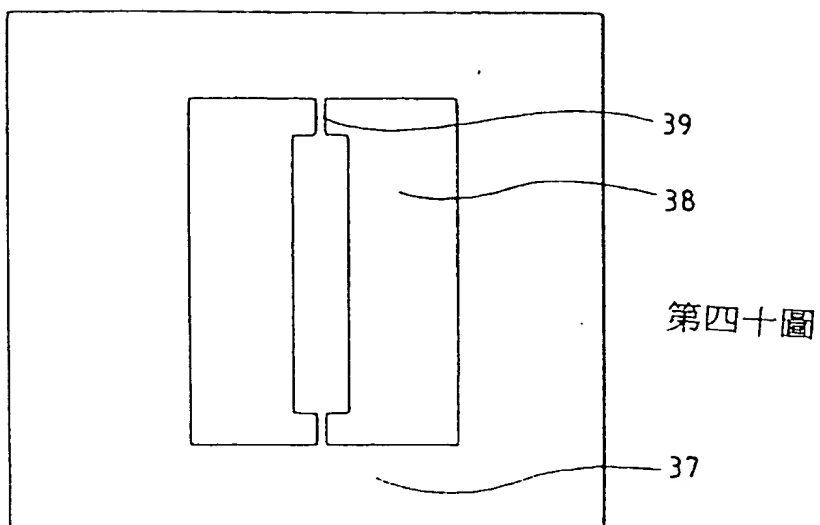
第三七圖



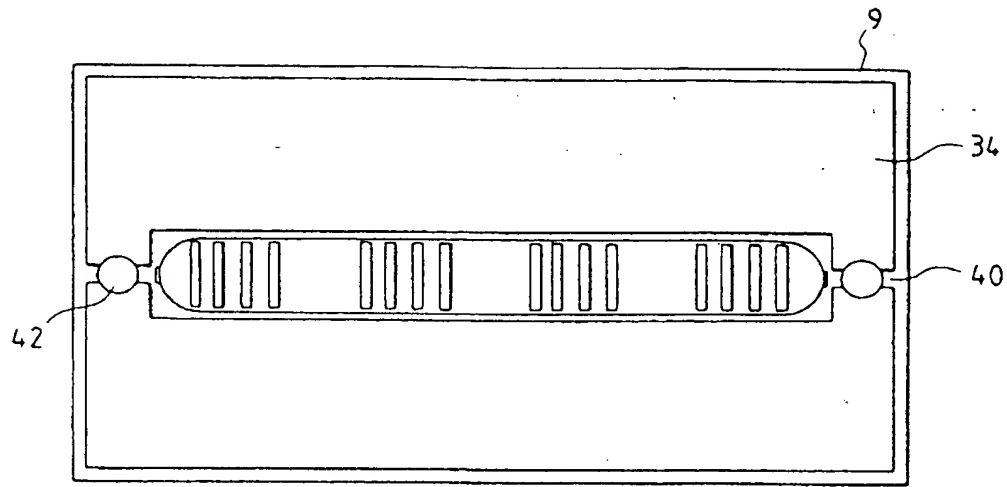
第三八圖



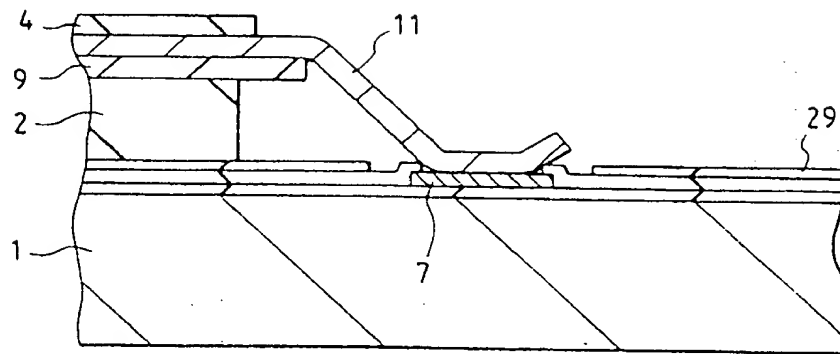
第三九圖



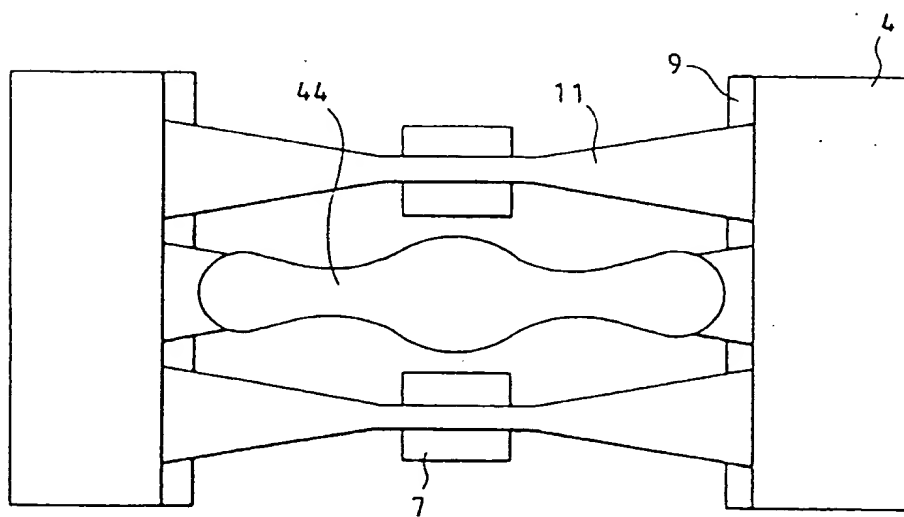
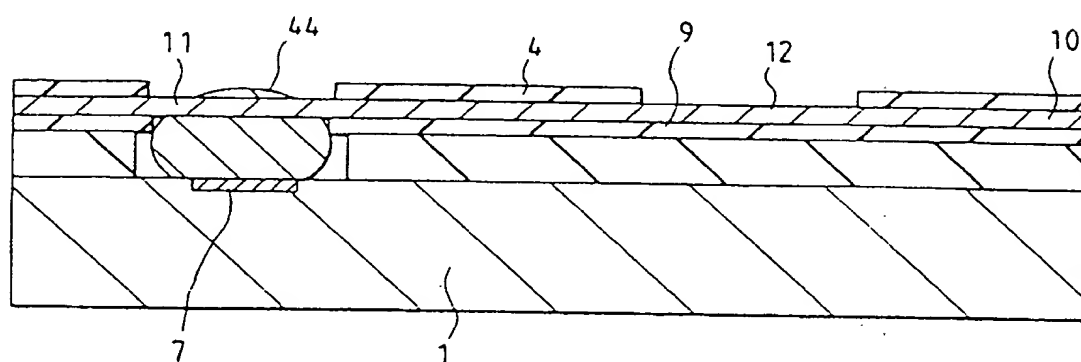
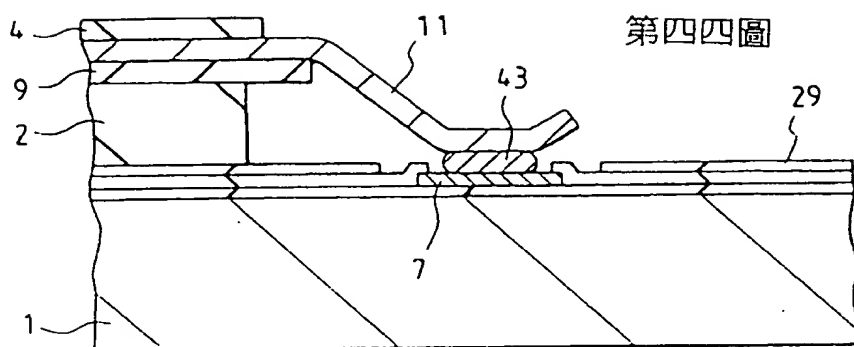
第四一圖



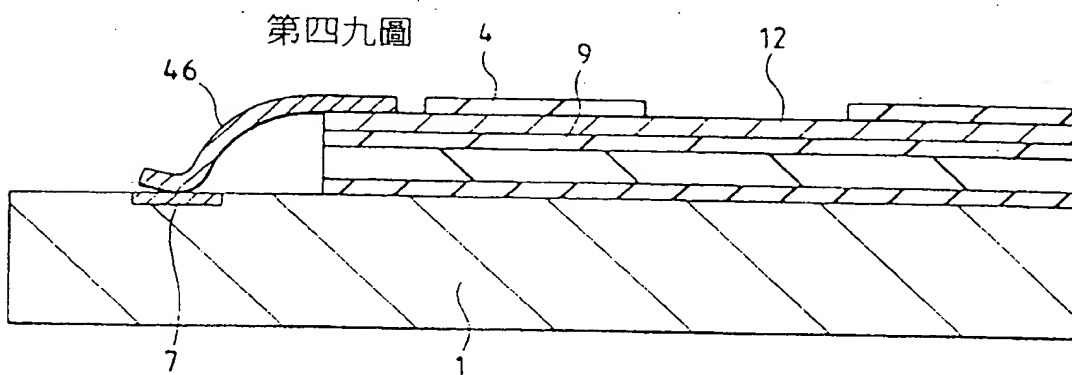
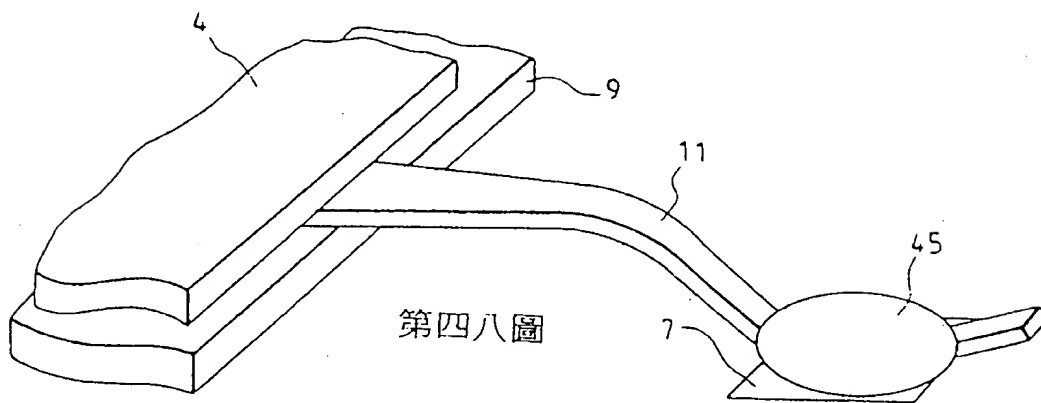
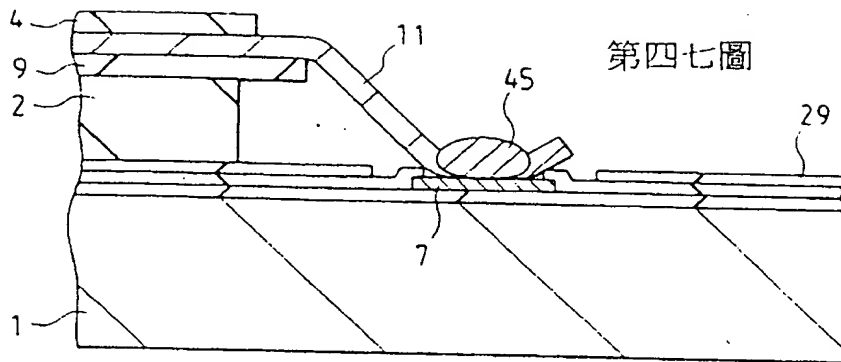
第四二圖

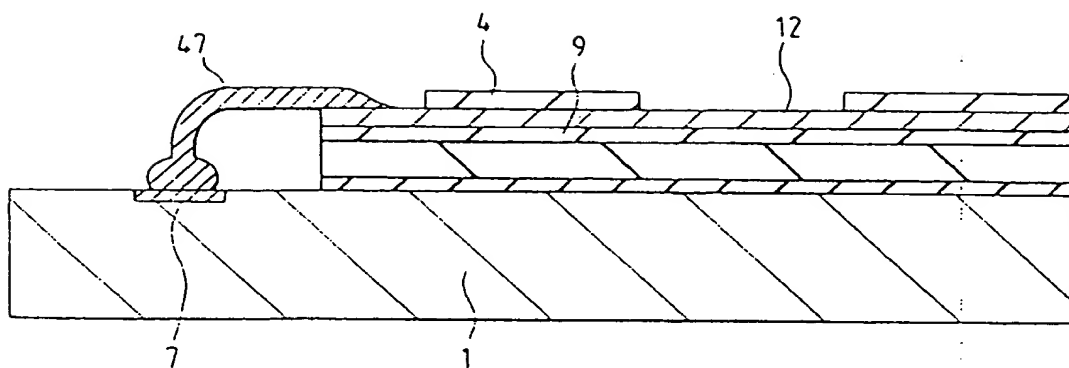


第四三圖

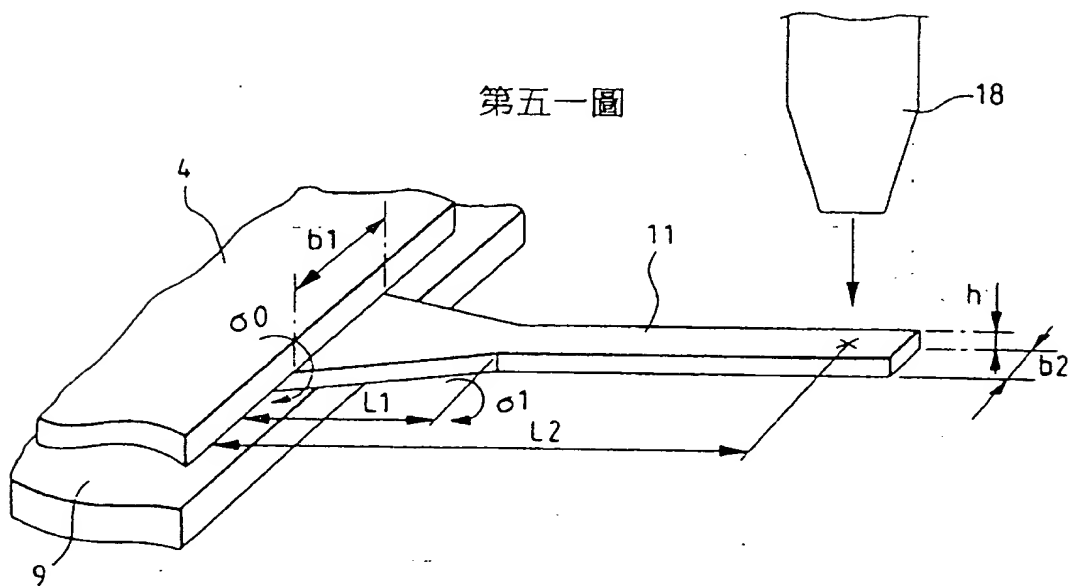


(28)



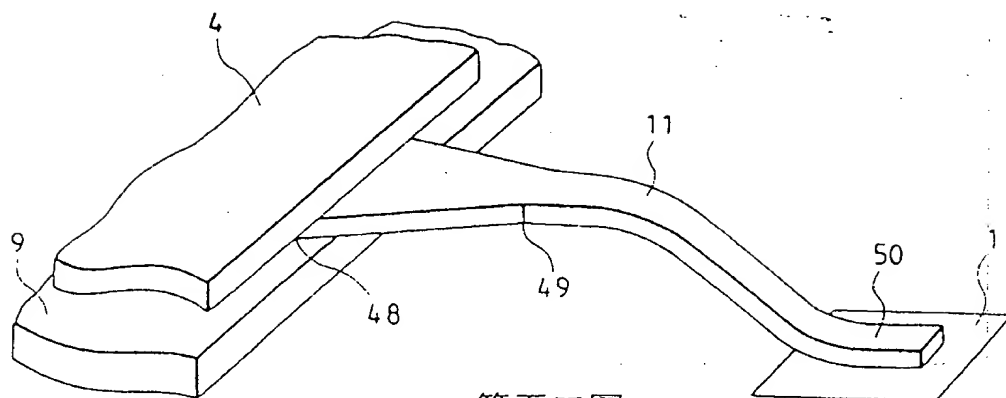


第五十圖



第五一圖

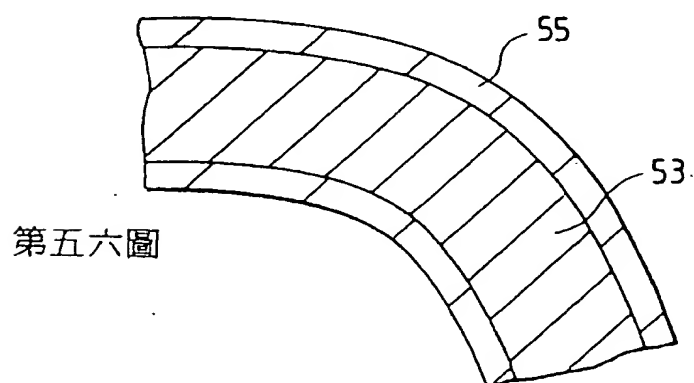
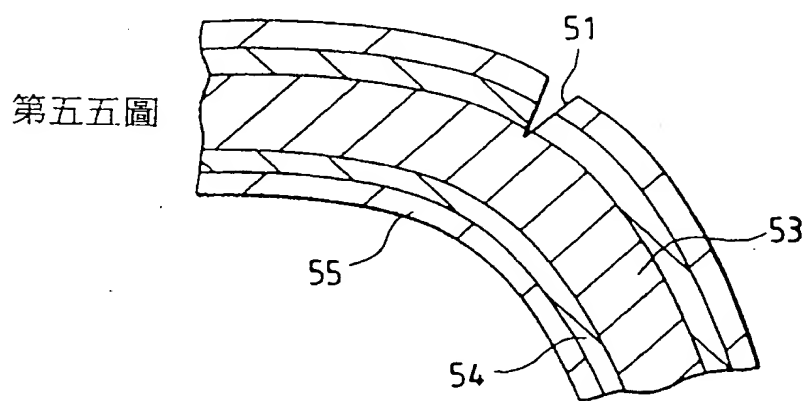
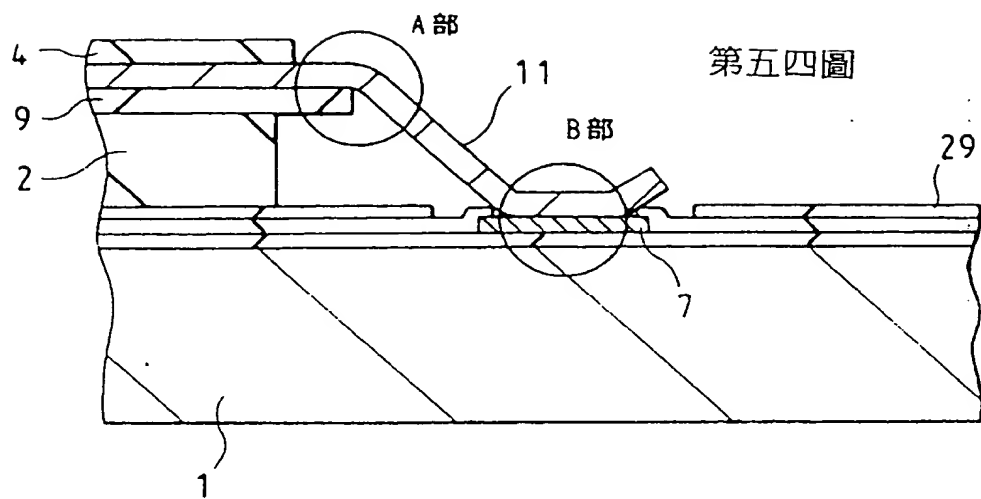
(30)

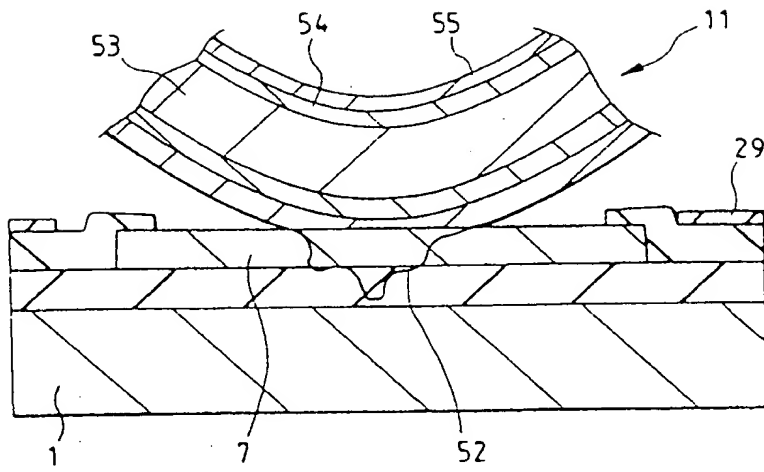


第五二圖

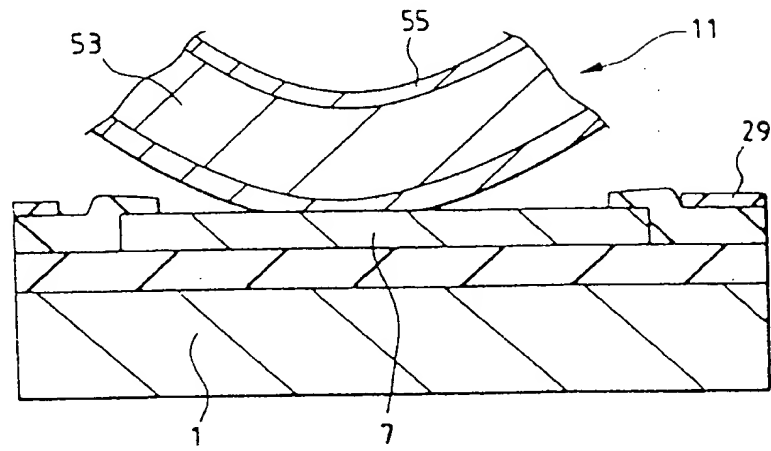
導線尺寸記號		L1	L2	b1	b2	h	α
記號意義		推拔長	配線長	推拔寬	導線寬	導線厚	彎曲應力比
單位		μm	μm	μm	μm	μm	1
檢討之技術	①	100	280	60	38	18	1.02
	②	80	280	60	38	18	1.13
具體例	①	100	380	65	38	18	1.26
	②	80	380	60	38	18	1.25
	③	100	380	65	38	18	1.26
	④	100	430	65	38	18	1.31
	⑤	100	480	70	38	18	1.46

第五三圖



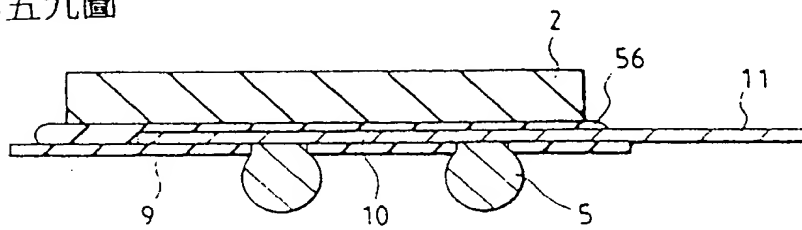


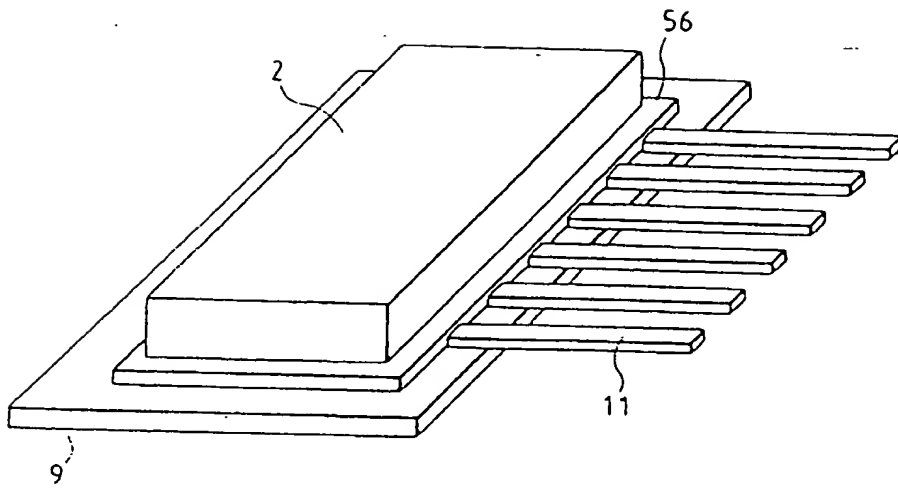
第五七圖



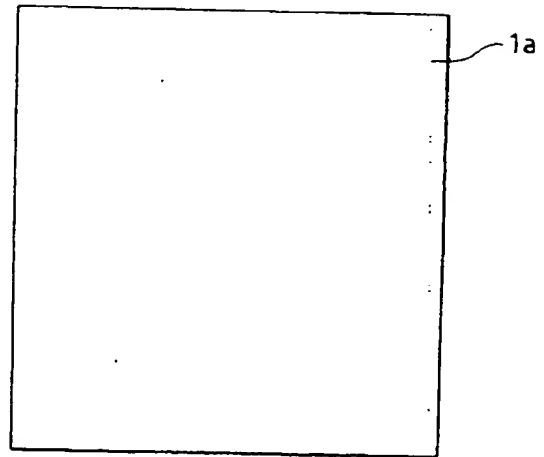
第五八圖

第五九圖



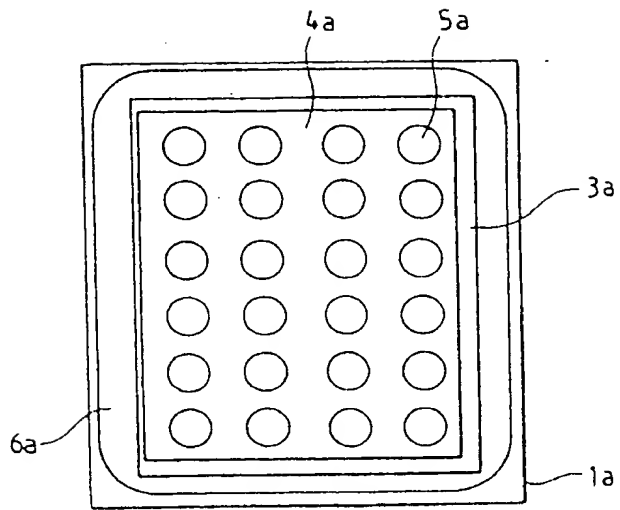


第六十圖



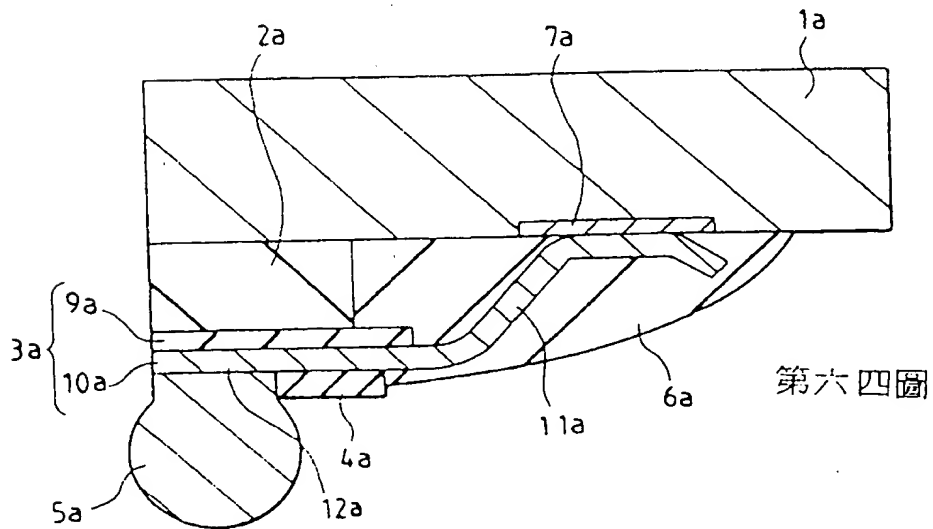
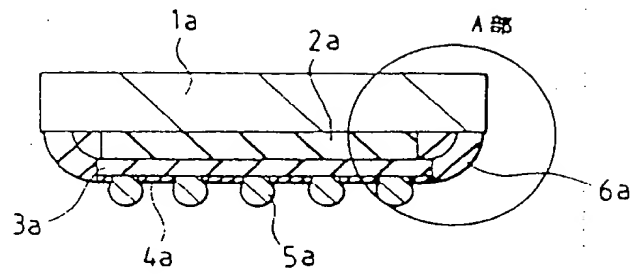
第六一圖

(34)



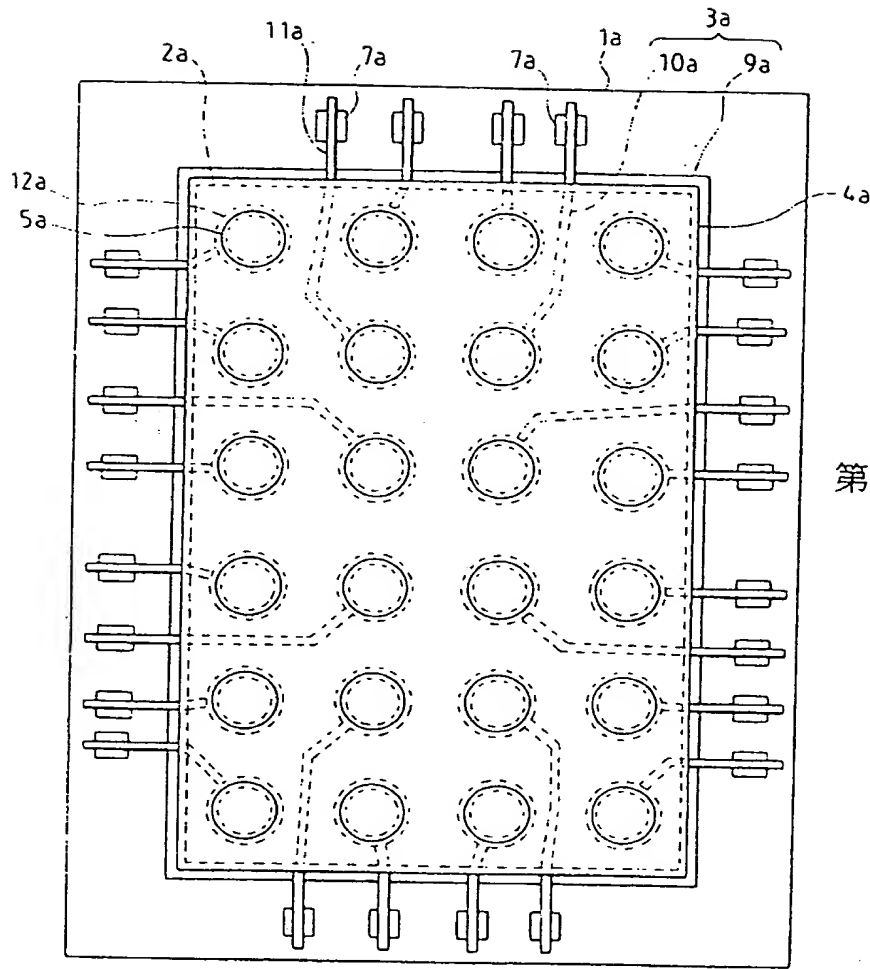
第六二圖

第六三圖

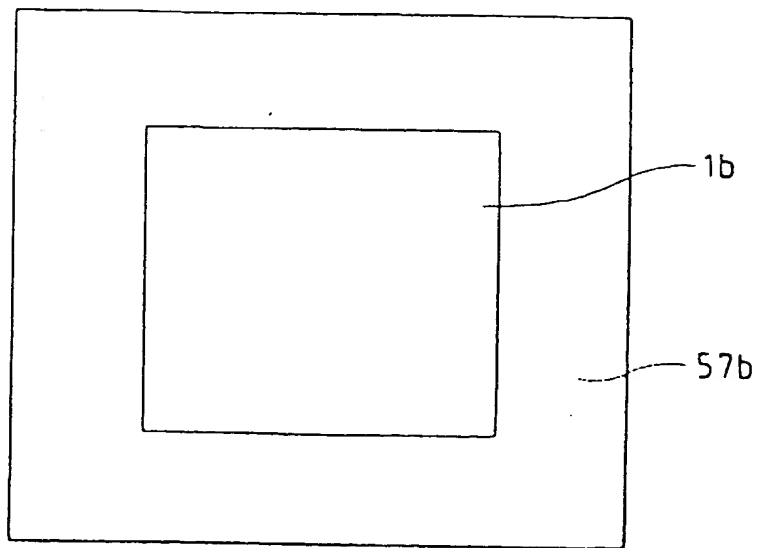


第六四圖

(35)

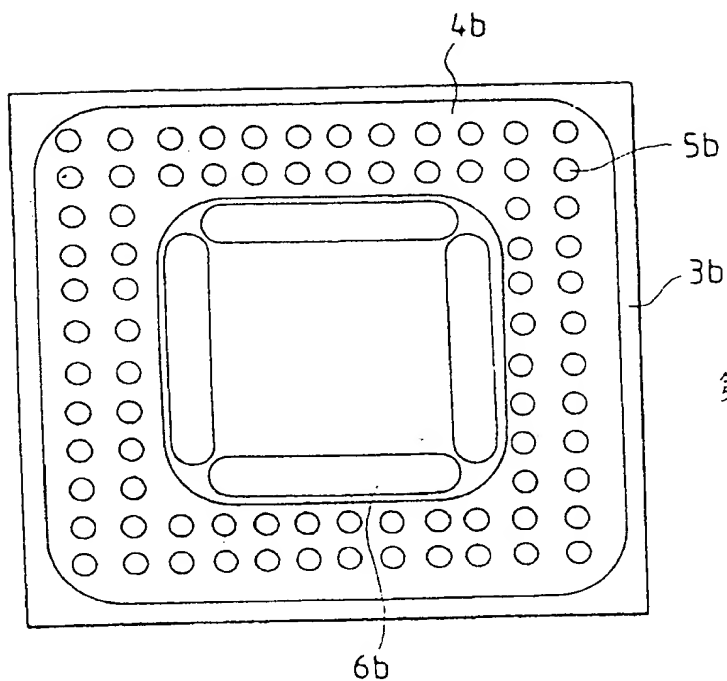


第六五圖



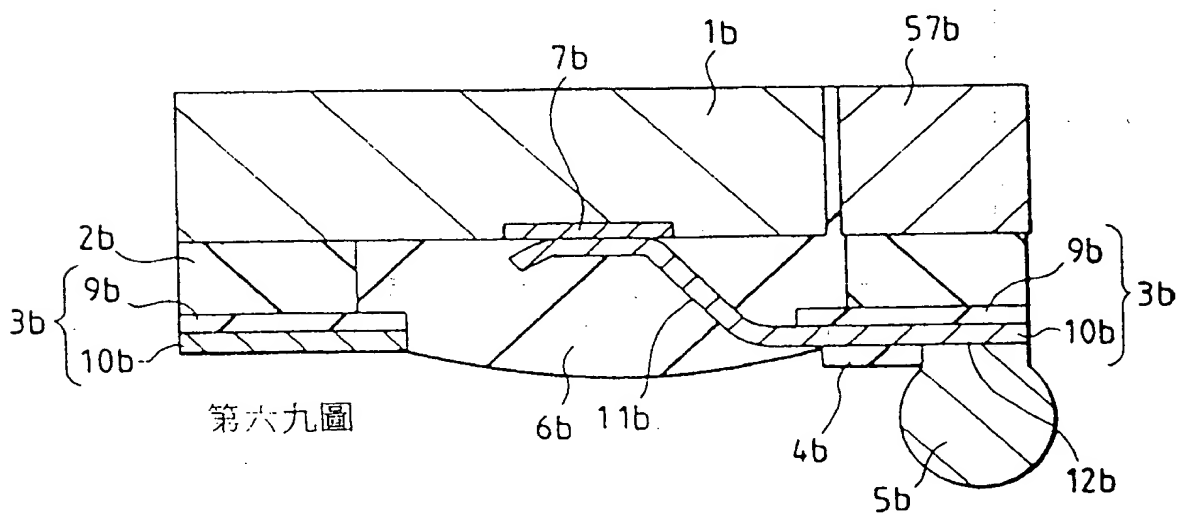
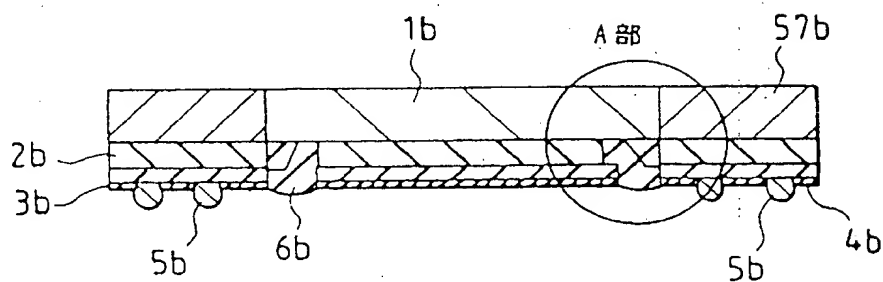
第六六圖

(36)

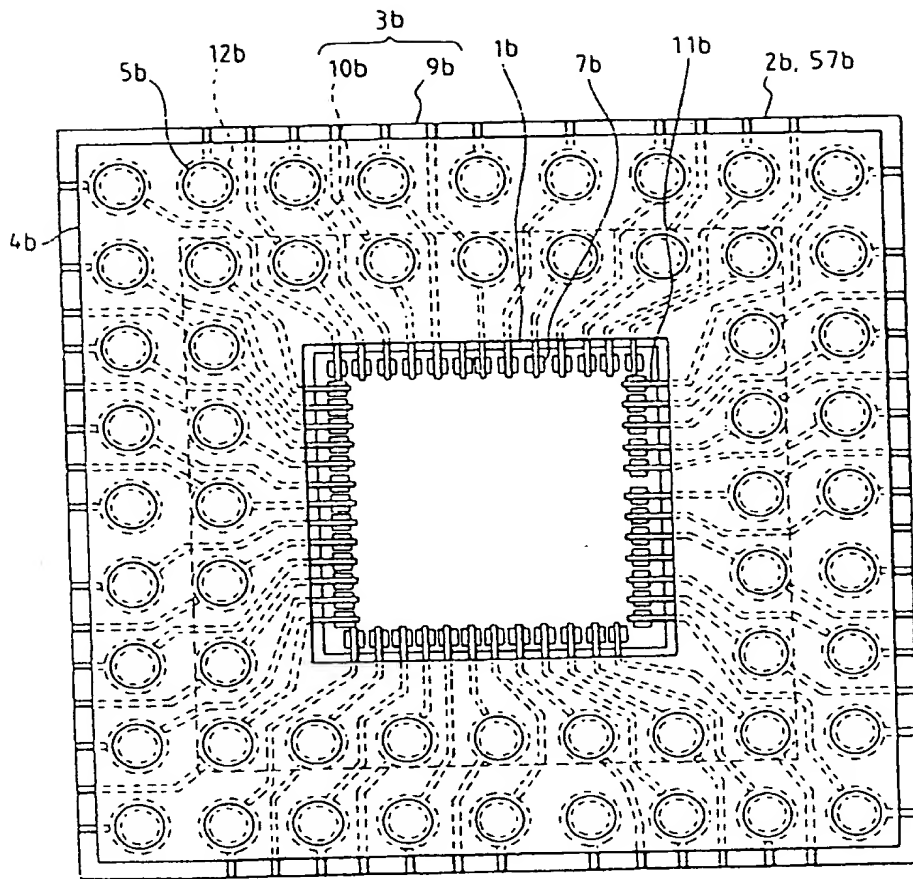


第六七圖

第六八圖

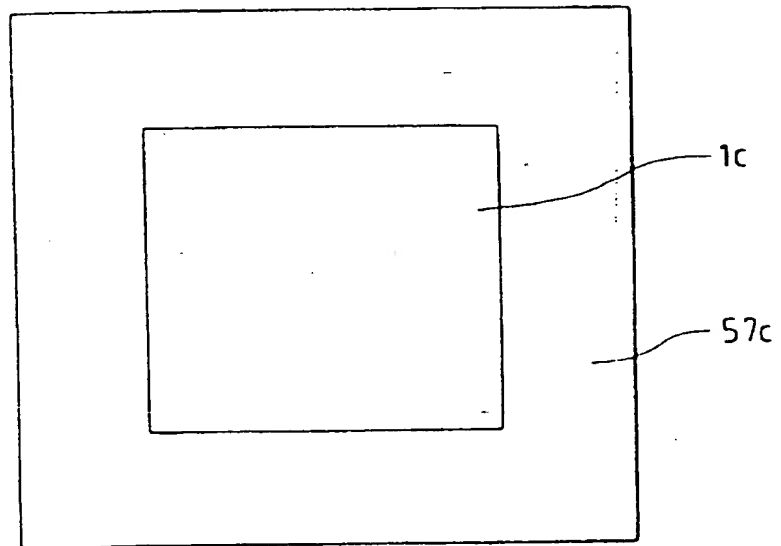


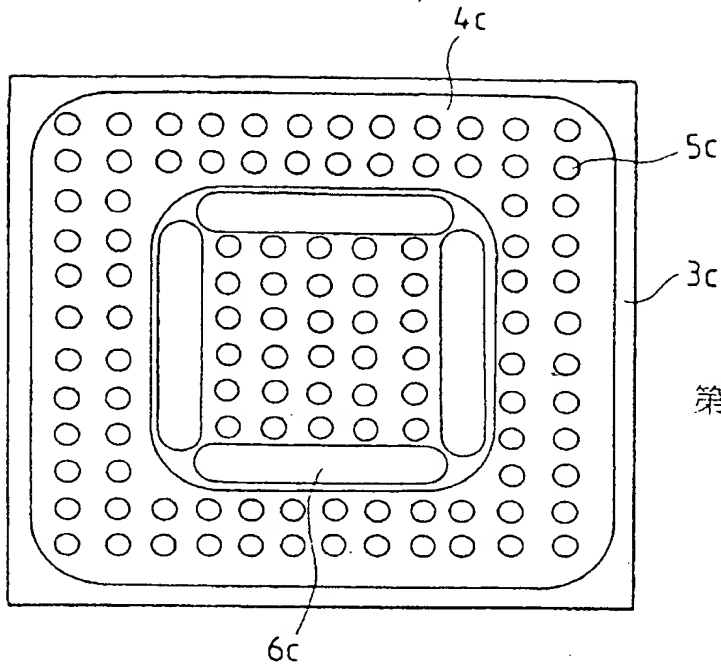
第六九圖



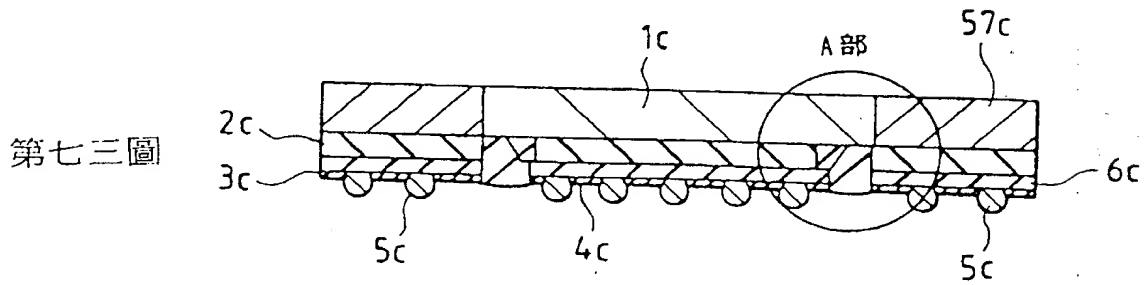
第七十圖

第七一圖

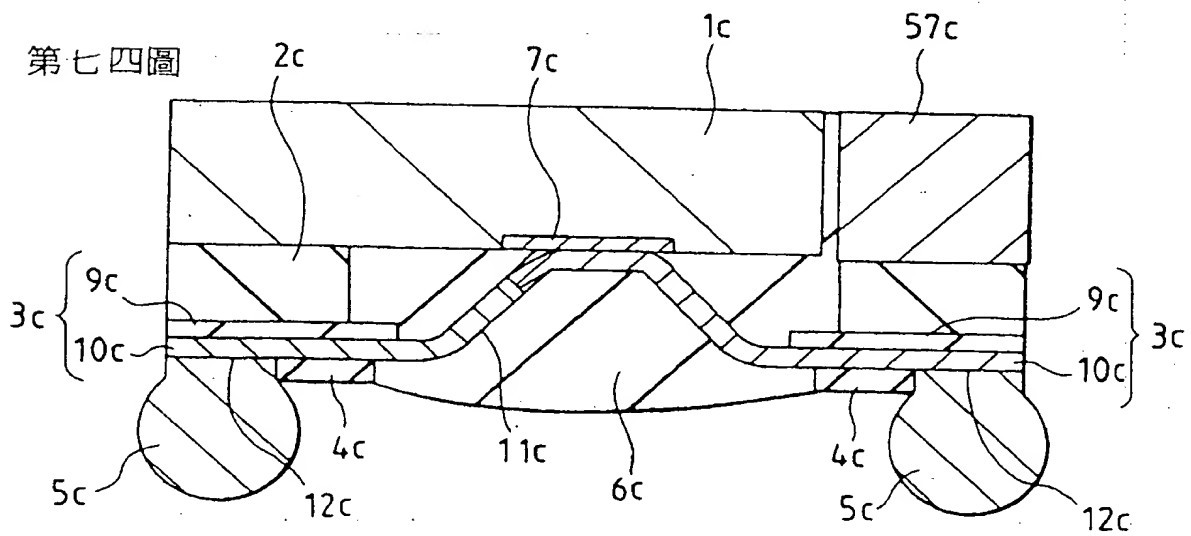




第七二圖

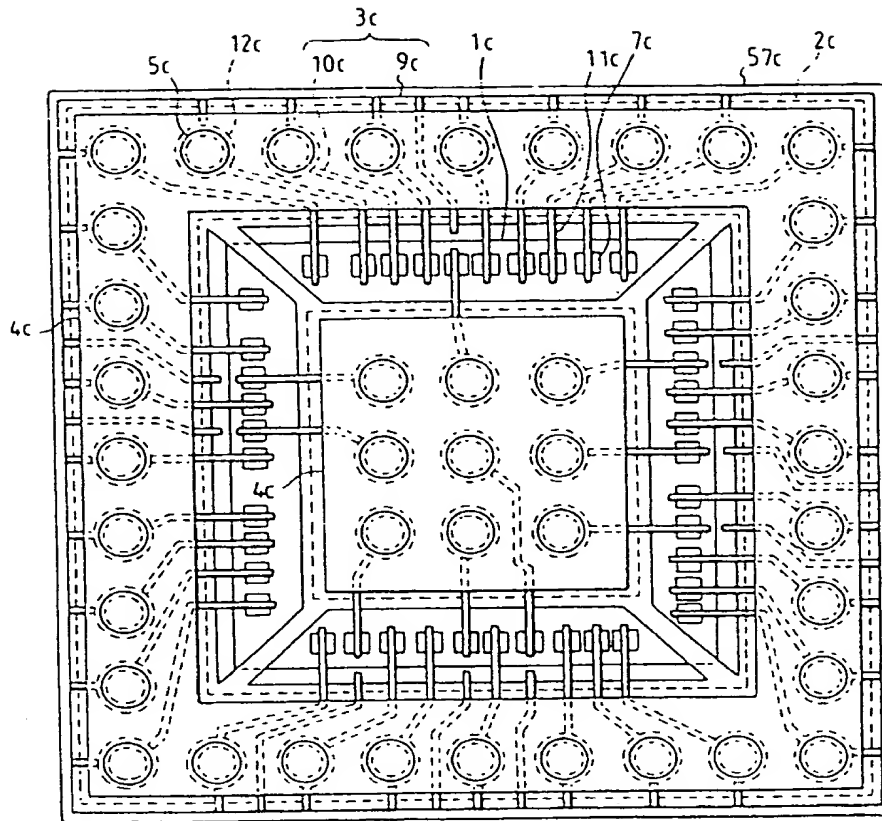


第七三圖

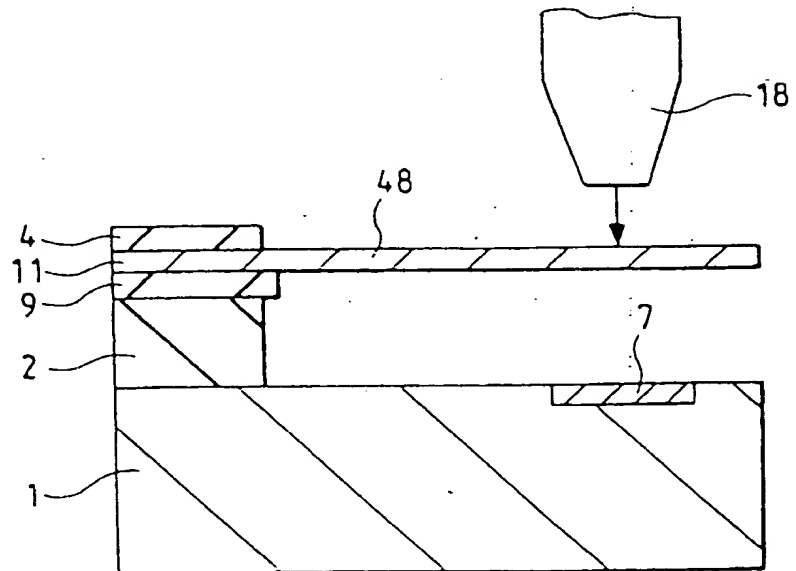


第七四圖

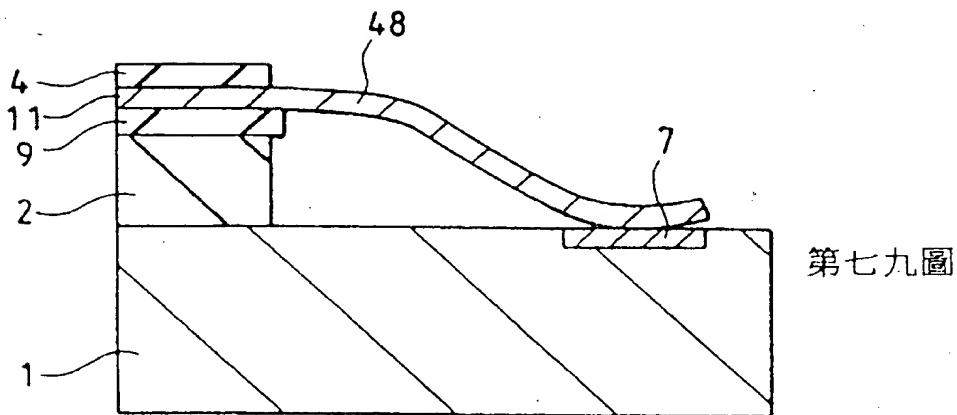
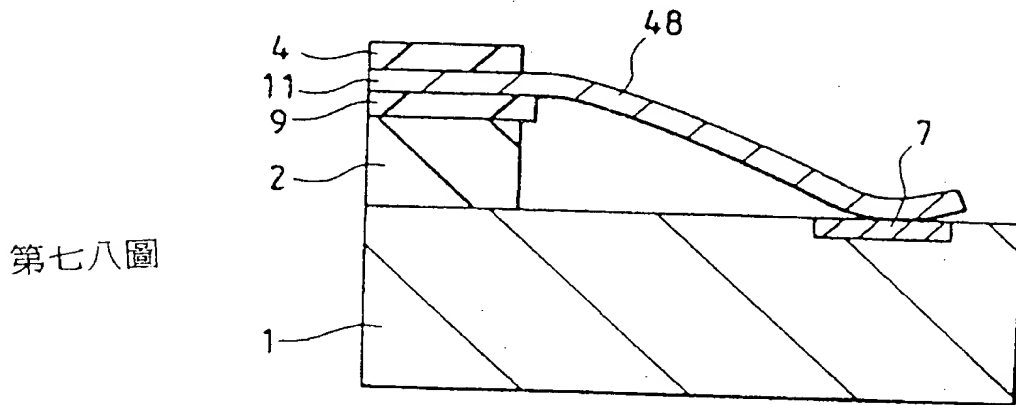
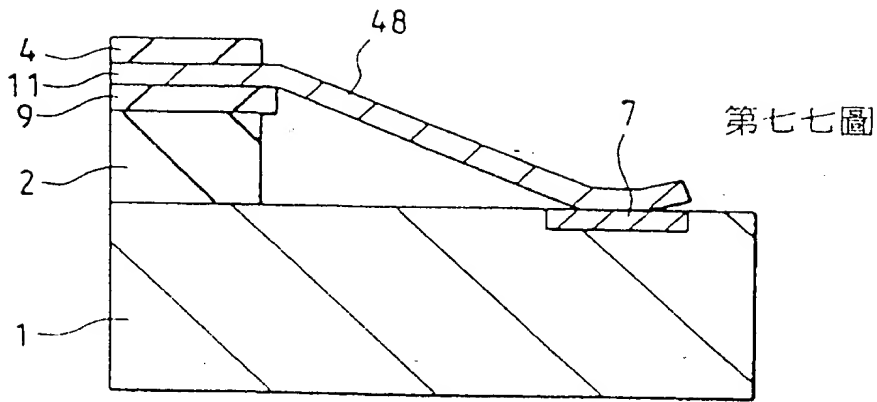
(39)

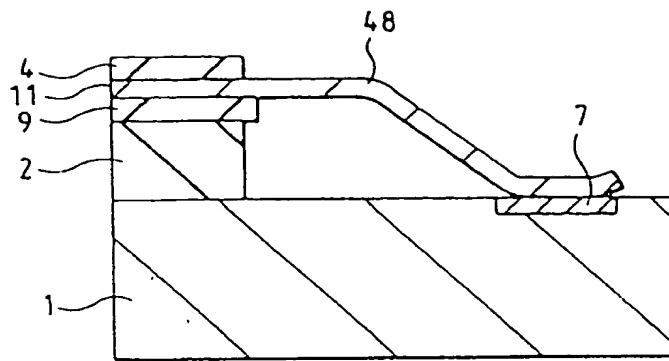


第七五圖



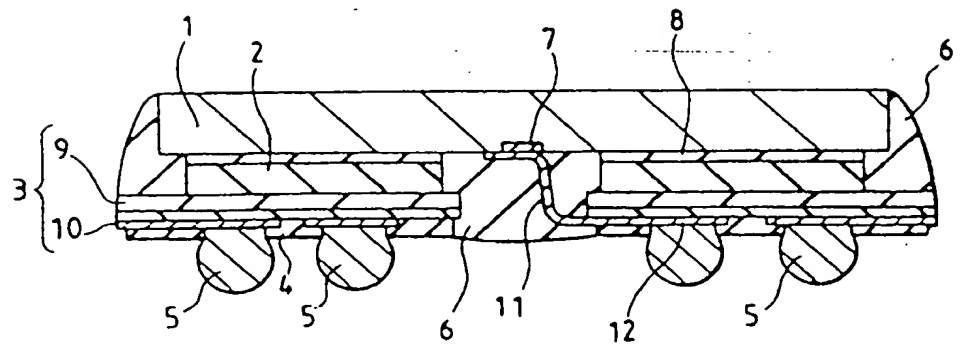
第七六圖





第八十圖

第八一圖



THIS PAGE BLANK (USPTO)

經濟部智慧財產局發明特許（初審）查定（拒絕理由）書

受文者：三菱電機株式会社（代理人：賴 經 臣 氏）

住 所：台北市南京東路三段 3 4 6 号 白宮企業大樓第 1 1 1 2 室

發文日：2 0 0 2 年 3 月 1 9 日

發文番号：（9 1）智專二（一）04066 字第 0 9 1 8 3 0 0 4 5 9 6 号

1. 出 願 番 号：0 8 9 1 2 2 8 8 5 專利分類 IPC（7）：H01L 25/00

2. 發明の名称：半導體裝置

3. 出願人名称：三菱電機株式会社

住 所：日本

4. 代理人氏名：賴 經 臣 氏

住 所：台北市南京東路三段 3 4 6 号 1 1 1 2 室

5. 出 願 日 付：2 0 0 0 年 1 0 月 3 1 日

6. 優先權項目：1 2000/03/22 日本 2000-081026

7. 審査官姓名：蕭 明 椿 委員（審査官）

8. 審査決定の内容：

主文：本願の發明特許を拒絕する。

根拠：專利法（特許法）第 2 0 条第 2 項

理由：（後記）

注：◆不服の場合、本文書送達の翌日から 3 0 日以内に再審査理由書一式二部と規定費用 NT\$6,000（特許明細書及び図面の合計が 5 0 頁以上のものは、5 0 頁毎に NT\$ 500 を加算徴収し、ここで 5 0 頁に満たないものは 5 0 頁として計算する）を揃えて本局に再審査を請求することができる。

理 由：

- （一）本願「半導體裝置」の主な特徴は、図面第 4, 5 図に示されている先行技術と第 1, 2 図に示されている本願実施例とを分析、比較するとわかるように、本願は先行技術の半導體素子と絶縁回路基板とを接合する接着層のサイズを、ほぼ半導體素子と同一サイズから半導體素子よりも大きいサイズに変更するものである。
- （二）審査によると、この種の接着層のサイズを半導體素子よりも大きいサイズに設計する技術と知識は、事実上、公知既存であり、例えば中華民國專利公報公告第 328643 号（出願番号第 86103244 号）における特許請求の範囲第 5 項独立項及び第 2, 11 図に示されているものが一例である。故に本願は事実上当該技術に習熟する者が図面第 4, 5 に示されている先行技術、並びに中華民國專利公報公告第 328643 号に示されている公知技術または知識を合わせることより、容易に推知し完成し得るものである、故に進歩性を備えていない。
- （三）上記の基づいて論決し、本願は出願前に既存する技術または知識を運用したものであり、且つ当該技術に習熟する当業者が容易に完成でき、発

THIS PAGE BLANK (USPTO)

続葉

明特許要件に適合しているとは言い難い。

上記に基づいて論決し、本願は法定の特許要件に適合していないので、ここに専利法（特許法）第20条第2項により主文のとおり査定した。

局長 陳 明 邦

THIS PAGE BLANK (USPTO)

經濟部智慧財產局專利核駁審定書

拒絕查定

受文者：三菱電機股份有限公司（代理人：賴經臣 先生）

地址：台北市南京東路三段三四六號一一二室

mailed
發文日期：中華民國九十年三月十九日
發文字號：（九一）智專二（一）04066字

第〇九一八三〇〇四五九六號

一、申請案號數：〇八九一二二八八五

二、發明名稱：半導體裝置

三、申請人：

名稱：三菱電機股份有限公司

地址：日本

四、專利代理人：

姓名：賴經臣 先生

地址：台北市南京東路三段三四六號一一二室

五、申請日期：八十九年十月三十一日

六、優先權項目：

1 2000/03/22 日本2000-081026

專利分類IPC(7)……H01L 25/00

期限	起算
91年4月19日前	91年3月20日
<input type="checkbox"/> 郵寄	<input checked="" type="checkbox"/> 信
<input type="checkbox"/> 對簿	<input checked="" type="checkbox"/> 對簿

改新型

MAR 21 2002

09183004596

THIS PAGE BLANK (USPTO)

七、審查人員姓名：蕭明椿 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「半導體裝置」主要特徵為：由分析並比較圖式第四、五圖所示之先前技藝與第

一、二圖所示之本案實施例得知，本案係將先前技藝用以連接半導體元件與絕緣電路基板之黏接層之尺寸由約略與半導體元件同一尺寸變更為大於半導體元件之尺寸者。

(二) 查此種將黏接層之尺寸設計成大於半導體元件之尺寸的技術或知識，實屬習知既有，例如中華民國專利公報公告第三二八六四三號（申請案號第八六一〇三二四四號）中之申請專利範圍第五項獨立項以及第二、十一圖所示即是一例。故本案實為熟習該項技術者，所能由圖式第四、五圖所示之先前技藝，並配合中華民國專利公報公告第三二八六四三號中所示之習知技術或知識輕易推知並完成者，故不具進步性。

(三) 據上論結，本案係運用申請前既有之技術或知識，且為熟悉該項技術者所能輕易完成，難謂符合發明專利要件。

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

THIS PAGE BLANK (USPTO)

局長 陳明邦

依照分層負責規定授權單位主管執行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。

THIS PAGE BLANK (USPTO)